

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
11. April 2002 (11.04.2002)

PCT

(10) Internationale Veröffentlichungsnummer  
**WO 02/29600 A2**

(51) Internationale Patentklassifikation<sup>7</sup>: **G06F 15/76**

(72) Erfinder; und

(21) Internationales Aktenzeichen: PCT/EP01/11593

(75) Erfinder/Anmelder (nur für US): **VORBACH, Martin**  
[DE/DE]; Gotthardstrasse 117A, 80689 München (DE).

(22) Internationales Anmeldedatum:  
8. Oktober 2001 (08.10.2001)

(74) Anwalt: **PIETRUK, Claus, Peter**; Heinrich-Lilien-  
fein-Weg 5, 76229 Karlsruhe (DE).

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:

60/238.855	6. Oktober 2000 (06.10.2000)	US
PCT/EP00/10516	9. Oktober 2000 (09.10.2000)	EP
101 10 530.4	5. März 2001 (05.03.2001)	DE
101 11 014.6	7. März 2001 (07.03.2001)	DE
101 35 210.7	24. Juli 2001 (24.07.2001)	DE
101 35 211.5	24. Juli 2001 (24.07.2001)	DE
101 39 170.6	16. August 2001 (16.08.2001)	DE
101 42 231.8	29. August 2001 (29.08.2001)	DE
101 42 904.5	3. September 2001 (03.09.2001)	DE
101 42 894.4	3. September 2001 (03.09.2001)	DE
101 42 903.7	3. September 2001 (03.09.2001)	DE
101 44 733.7	11. September 2001 (11.09.2001)	DE
101 44 732.9	11. September 2001 (11.09.2001)	DE
101 45 792.8	17. September 2001 (17.09.2001)	DE
101 45 795.2	17. September 2001 (17.09.2001)	DE
101 46 132.1	19. September 2001 (19.09.2001)	DE
PCT/EP01/11299		
	30. September 2001 (30.09.2001)	EP

(81) Bestimmungsstaaten (national): AE, AG, AL, AM, AT, AT (Gebrauchsmuster), AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DE (Gebrauchsmuster), DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW.

(84) Bestimmungsstaaten (regional): ARIPO-Patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), eurasisches Patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI-Patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): **PACT INFORMATIONSTECHNOLOGIE GMBH** [DE/DE]; Leopoldstrasse 236, 80807 München (DE).

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

WO 02/29600 A2

(54) Title: METHOD AND DEVICE

(54) Bezeichnung: VERFAHREN UND VORRICHTUNG

(57) Abstract: The invention relates to a cell system with an intermediate cell structure, and to a method for indicating a favorable segmentation of said intermediate cell structure with the purpose of improving the interaction of the cells.

(57) Zusammenfassung: Die Erfindung befaßt sich mit einer Zellanordnung mit Zwischenzellstruktur und gibt an, wie eine günstige Segmentierung der Zwischenzellstruktur vorgenommen werden kann, um das Zusammenwirken der Zellen zu verbessern.

"Verfahren und Vorrichtung"

5

10

Beschreibung

15

Die vorliegende Erfindung betrifft das oberbegrifflich Beanspruchte. Damit befaßt sich die vorliegende Erfindung mit Verbesserungen an Logikzellenarrays.

20 Logikzellenarrays, insbesondere auch rekonfigurierbare, sind bekannt. Zur Gattung dieser Bausteine zählen insbesondere systolische Arrays, neuronale Netze, Mehrprozessorsysteme, Prozessoren mit mehreren Rechenwerken und/oder logischen Zellen und/oder kommunikativen/peripheren Zellen (E/A, d.h. IO),  
25 Vernetzungs- und/oder Netzwerkbausteine wie z.B. Crossbar-Schalter, ebenso wie bekannte Bausteine der Gattung FPGA, DPGA, Xputer, Chameleon etc.. Hingewiesen wird in diesem Zusammenhang insbesondere auf die folgenden auf die vorliegenden Anmelder zurückgehenden Schutzrechte, die zu Offenbarungszwecken durch Bezugnahme vollumfänglich eingegliedert  
30 sind: DE 44 16 881, DE 197 81 412, DE 197 81 483, DE 196 54 846, DE 196 54 593, DE 197 04 044, DE 198 80 129, DE 198 61 088, DE 199 80 312, PCT/DE 00/01869, DE 100 36 627, DE 100 28 397 DE 101 10 530, DE 101 11 014, PCT/EP 00/10516, EP 01 102  
35 674 sowie Familienmitglieder hierzu. Logikzellen sind somit definiert als beliebige Logik und/oder Arithmetik und/oder Schalter und/oder Speicher und/oder Peripherie beinhaltender Zellen.

40 Während für derartige Systeme im Stand der Technik, insbesondere dem vorstehend zitierten, eine Reihe von Ansätzen bekannt sind, um eine effiziente Verarbeitung von Daten prinzipiell zu ermöglichen, und diese Ansätze auch gut in Hardware-Architekturen implementierbar sind, besteht bei der praktischen Umsetzung dennoch der Wunsch, möglichst günstige Auslegungen zu gewährleisten, die insbesondere platzsparend auf einem Wafer untergebracht werden und/oder energiesparend betrieben werden können; überdies ist es wünschenswert, besonders vorteilhafte Arten des Betriebes zu finden.

Eine der gravierenden Schwierigkeiten bei Systemen aus dem Stand der Technik ist darin zu sehen, daß eine Vielzahl von Zellen miteinander kommunizieren müssen. Die Kommunikation  
5 kann erforderlich sein, um zu bearbeitende Daten zwischen den Zellen zu übermitteln. Dies ist etwa dann der Fall, wenn eine Zelle die Ergebnisse aus einer anderen Zelle weiterverarbeiten soll, z.B. durch Verknüpfung des dort erhaltenen Ergebnisses mit von einer oder mehreren weiteren Zellen erhaltenen  
10 Ergebnissen. Weiter kann Kommunikation erforderlich sein, um Statussignale zu übertragen.

Zur Übertragung von Signalen an einen einer Vielzahl möglicher Empfänger sind Busse seit langem bekannt. Busse sind  
15 Bündel aus Leitungen, wobei die Anzahl der Leitungen typisch bestimmt ist aus der Zahl miteinander, d.h. typisch parallel zu übertragender Bits, zuzügl. gegebenenfalls einer Reihe von Statusleitungen.

Bei bekannten einfachen Bussen, wie sie z.B. in PCs zur Kommunikation von Steckkarten mit der CPU und/oder untereinander verwendet werden, können die Bus-Leitungen zu allen Empfängern geführt werden und dann wird durch geeignete mitübertragene Steuersignale, d.h. Adressierung sichergestellt, daß nur  
25 diejenigen Empfänger ansprechen, die die Daten empfangen sollen. Problematisch wird eine solche Anordnung dann, wenn sehr viele kommunizierende Einheiten Zugriff auf den Bus bzw. die Busse benötigen. Es muß dann nämlich erforderlichenfalls mit der Kommunikation der Daten gewartet werden, bis der Bus von  
30 anderen Einheiten frei gegeben wurde und/oder es müssen Zeitscheibenlösungen implementiert werden, die einer sendenden Einheit nur eine bestimmte Übertragungszeit einräumen, und zwar im Regelfall unabhängig davon, ob in dieser Zeit alle Daten übertragen werden, was evtl. auch erforderlich macht,  
35 mehrere Zeitscheiben für die Datenübertragung aufzuwenden. Dieser Ansatz wird etwa in Systemen wie dem Token-Ring-Netzwerk praktiziert. In Systemen wie Logikzellenarrays, in denen eine sehr schnelle Kommunikation gewünscht ist, um hohe Datenverarbeitungsgeschwindigkeiten zu gewährleisten, ist  
40 dies unerwünscht.

Es ist auch schon vorgeschlagen worden, die Busse zu segmentieren. Wenn z.B. bei einer Reihe von Logikzellen mehrere miteinander zu verbindende Einheiten paarweise dicht beieinander  
45 liegen, kann eine längs aller Einheiten geführte und somit lange Busleitung an Zwischenstellen mittels von Schaltern aufgetrennt werden, um so mehrere Teil-Busssysteme zu bilden. Jedes Segment umfaßt dabei wie der Gesamtbus die erforderliche Anzahl paralleler Daten-Leitungen und die zu-

sätzlich notwendigen Protokollleitungen; die Kommunikation eines Paares dicht beieinander liegenden Logikzellen stört dann die Kommunikation eines anderen, dicht beieinander liegenden Paares nicht. So kann die über das Bussystem übertragene Datenrate wesentlich gesteigert werden.

Problematisch ist allerdings, daß, wenn derartige Bussystemen, etwa in CMOS-Technik auf Halbleiterchips integriert werden, der Aufbau typisch komplex und der Betrieb energetisch ungünstig ist.

Die Aufgabe der vorliegenden Erfindung besteht darin, Neues für die gewerbliche Anwendung bereitzustellen.

Die Lösung dieser Aufgabe wird in unabhängiger Form beansprucht. Bevorzugte Ausführungsformen finden sich in den Unteransprüchen.

Ein erster wesentlicher Aspekt der vorliegenden Erfindung schlägt somit vor, daß bei einer Logikzellenanordnung mit einer Anzahl Logikzellen und einem segmentierten Bussystem für die Logikzellenkommunikation, vorgesehen ist, daß das Bussystem unterschiedliche Segmentlinien mit kürzeren und längeren Segmenten zur Verbindung zweier Punkte umfaßt, um die Anzahl zu durchlaufender Buselemente bei auseinander beabstandeten Kommunikationsstart- und Endpunkten gering halten zu können.

Damit nutzt die vorliegende Erfindung in einem ersten Grundgedanken, daß sich durch Ausbildung der Busse mit als einfache Leitung gestalteten Segmenten großer Länge für die Überbrückung großer Strecken in einer Logikzellenanordnung eine besonders einfache Ausgestaltung und ein besonders sparsamer Betrieb ergibt. Indem zugleich kurze Segmentlinien vorgesehen werden, ist sichergestellt, daß dennoch alle Punkte wie erforderlich ansprechbar sind.

Bevorzugt sind die Segmentlinien jeweils aus einer Mehrzahl paralleler Leitungen gebildet sind, deren Anzahl durch die Bus-Breite und/oder das Busprotokoll bestimmt ist. Es ist also jedes Segment durch ein Bündel paralleler Leitungen gebildet, so wie dies per se aus dem Stand der Technik bekannt ist. Es versteht sich, daß dann alle Leitungen eines Segmentes im wesentlichen die selben Längen aufweisen; im wesentlichen bedeutet dabei, daß die Leitungen eines Leitungsbündels alle zu ein und derselben Endpunktlinie wie einem Dateneingang einer Logikzelle geführt sein können, wo sie an

die ihnen bitweise zugeordneten Eingangsglieder gelegt werden können.

Es ist bevorzugt, wenn an datenverändernde Logikzellen wie  
5 Recheneinheiten drei der für die verarbeitete Bitbreite erforderlichen Leitungsbündel als Datenzuführungsleitungen zugeführt sind. Dies erlaubt es, innerhalb der Zelle eine Verknüpfung von Operanden A, B, C der Art  $A \times B + C$  vorzunehmen. Diese Operation ist im Bereich digitaler Signalverarbeitung  
10 von besonderer Bedeutung und die Busstruktur somit für Logikzellenarrays zum Aufbau echtzeitrekonfigurierbarer DSP-Arrays besonders geeignet.

Es ist insbesondere bei Logikzellenanordnung, mit denen eine  
15 arithmetisch-multiplikative Verknüpfung von Operanden vorgenommen werden kann, besonders bevorzugt, wenn aus den Zellen wenigstens zwei der für die verarbeitete Bitbreite erforderlichen Leitungsbündel für Daten weggeführt sind, insbesondere mit einem Leitungsbündel für höherwertige und einem Leitungsbündel für niederwertigere Bits; so kann bei einer Datenwortbreite von 32 Bit ein 64 Bit breiter Ausgang erzeugt werden, um das Ergebnis einer Multiplikation in voller Breite auszugeben.

Bei rekonfigurierbaren Logikzellen ist es bevorzugt, wenn insbesondere über das segmentierbare Bussystem Steuereingänge ansprechbar sind, die derart angeordnet sind, daß wenigstens die Steuersignale zur Ablaufsteuerung in der Logikzelle, wie z.B. die Signale Reset, Step, Stop, Go und Reload in  
30 die Zelle übertragbar sind. Mit diesen wird ausgelöst und/oder ermöglicht ein Zurücksetzen, eine Umkonfigurierung und eine Aktivierung. Dazu kann eine entsprechende Anzahl von Bitleitungen vorgesehen werden; bevorzugt werden daher wenigstens zwei Bit breite Datenleitungen für Steuersignaleingänge vorgesehen. Es ist besonders bevorzugt, wenn  
35 jedem der steuernden Signale ein separater Signaleingang zugeordnet ist; alternativ kann eine Eingangsverknüpfungsschaltung auf einer mehreren Bit breiten Statusleitung für ein ordnungsgemäßes Ansprechen der Zelle sorgen. Diese Steuersignaleingänge sind insofern Steuersignaleingänge, als über  
40 sie die konfigurations- und/oder Rekonfigurationssteuernden (Kontrollfluß-) Signale, insbesondere Triggersignale wie aus dem vorerwähnten Stand der Technik bekannt, an die Zelle geleitet werden können. Die eigentliche Kommunikation der Zelle mit der oder einer umkonfigurierenden Einheit wie einem  
45 Konfigurationsmanager (CT bzw. CM) kann dabei in per se be-

kannter Weise z.B. über das sog. Ready/Ack/Rej-Protokoll erfolgen, das eine Umkonfiguration der Zelle nur unter bestimmten Bedingungen erlaubt. Für die Einzelheiten dieser Protokolle wird auf die einleitend durch Bezugnahme vollumfänglich eingegliederten Schutzrechte des Anmelders und jedwede weiteren öffentlich zugänglichen Dokumente über die XPP/VPU-Architektur verwiesen.

Das Bussystem kann Segmente zur Verbindung der Logikzellen untereinander umfassen; dies ist der typische Fall und deshalb von besonderer Bedeutung, weil innerhalb des Logikzellenarrays ein besonders hoher und effizienter Datendurchsatz benötigt wird, ohne daß sich der Prozessorbaustein etwa durch hohe Verlustleistungen aufheizen soll. Hier ist die vorliegende Erfindung besonders effizient einsetzbar.

Alternativ und/oder zusätzlich kann das Bussystem an interne und/oder externe die Logikzellen konfigurierenden und/oder rekonfigurierenden Einheiten geführt sein; die Busse können insbesondere an einer Vielzahl von datenverarbeitenden und/oder speichernden Logikzellen vorbei zu einer oder mehreren solchen (re-) konfigurierenden Einheiten geführt sein, so daß entweder eine Kommunikation der Zellen untereinander und/oder mit der oder einer konfigurierend Einheit möglich ist. Es sei in diesem Zusammenhang erwähnt, daß prinzipiell ein simultanes Aussenden von Informationen an mehrere Empfänger möglich ist, etwa, um im Falle des Bootens alle Zellen gleichzeitig zurückzusetzen. Die Busstruktur kann dafür entsprechend ausgebildet sein.

Weiter ist es bevorzugt und möglich, wenn das Bussystem zu I/O-Schnittstellen und/oder zu externen Datenspeichern geführt ist. Es kann mit anderen Worten die Segmentierungsstruktur sowohl innerhalb als auch außerhalb des Logikzellenfeldes mit Gewinn genutzt werden. I/O-Schnittstellen übertragen bausteininterne Bussysteme nach extern. Dabei werden beliebige Bussysteme ggf. zeitlich alternierend zur externen Aus- und/oder Eingabe geschaltet. Zusätzlich kann die Möglichkeit bestehen mehrere Bussysteme derart zusammenzufassen, dass diese aufeinander synchronisiert werden. Beispielsweise können je zwei Ausgabebussysteme oder ein Eingabebus und ein Ausgabebus zusammen synchronisiert werden.

In einer praktischen Ausführung des Bussystem sind eine Reihe von Leitungszwischenelemente vorgesehen; Leitung meint

hierbei insbesondere einen Leiter erster Klasse, wie eine durchgehende Metalllinie in einem Halbleiterwafer. Leitungszwischenelemente meint solche Elemente, die zwischen je zwei einander zugeordneten Leitungen angeordnet sind. Bei den  
5 Leitungszwischenelementen kann es sich zum einen handeln um Verbindungs-Schalter, die insbesondere im Ansprechen auf Anforderungen von Logikzellen und/oder die Kommunikation derselben und/oder anderer Einheiten vorgebenden Kontrollmitteln; so kann der Schalter z.B. im Ansprechen auf eine Anforderung eines Konfigurationsmanagers, d.h. einer das Logikzellenfeld konfigurierenden Einheit geschlossen oder geöffnet sein oder werden. Dies erlaubt es insbesondere, wie bevorzugt, mit einem Compiler festzulegen, wie die Busstruktur aufgebaut werden soll; insbesondere kann der Compiler  
10 oder eine andere konfigurierenden oder kontrollierende Einheit festlegen, ob die Kommunikation zwischen zwei beabstandeten Zellen über Segmentlinien mit kürzeren oder längeren Segmenten erfolgen soll, und bei Vorhandensein mehrerer längerer Segmente kann überdies auch bevorzugt vorgegeben werden, über welche einer Vielzahl von Segmentlinien die Kommunikation erfolgen soll. Es kann damit der Leistungsverlust über die Schalter minimiert werden und/oder es kann eine optimale Anpassung der Datenbe- und/oder -verarbeitung an Signallaufzeiten längs der Busleitungen vorgesehen werden.

25 Die Leitungszwischenelemente können weiter und/oder alternativ Multiplexer umfassen, um ein Signal von einer Leitung an eine einer Reihe von Zielen wie Logikzellen und/oder weiterführenden Leitungen aufzuschalten und/oder, um es auf eine  
30 Vielzahl von Zielen insbesondere wählbare Ziele simultan zu speisen.

Weiter können als Leitungszwischenelemente Register vorgesehen sein. Diese erfüllen unterschiedliche Aufgaben. So können  
35 zunächst Daten auf dem Bus gehalten werden, bis ein Ziel bereit ist, diese abzurufen. Weiter kann bei Bussen, die sehr lang sind, vermieden werden, daß die Datenverarbeitung nur dann geordnet abläuft, wenn die bei langen Strecken langen Dauern bis zur Ankunft der Daten am Ziel (und gegebenenfalls dem Rücklauf der Empfangsbestätigung) berücksichtigt werden. Indem Daten in Registern zwischengehalten werden, erhöht sich zwar die Gesamtzeit (delay), bis ein Datenpaket über den Bus gelaufen ist, aber die Zwischenzeit bis zur  
40 ankunft der Daten (latency), in der das Array bzw. einzelne Zellen nicht sinnvoll genutzt werden können, sind verringert. Es sei darauf hingewiesen, daß hier wiederum ein Abwä-

gen zwischen Latency und Delay erforderlich sein kann, wobei das Register z.B. nur unter vorbestimmten und/oder festgelegten Bedingungen wie sehr langer Busstrecke zugeschaltet wird. Es ist dann wünschenswert, wenn die Registerzuschaltung gesteuert wird, z.B. durch eine Kontrolleinheit oder  
5 ähnliches wie einen Konfigurationsmanager, der wiederum im Ansprechen auf compilergenerierte Befehle arbeiten kann. Weiter ist es sinnvoll, ein Register vorzusehen, um ein synchrones Ankommen von Bits unterschiedlicher Wertigkeit an  
10 einem Zielpunkt zu gewährleisten. Wenn Busse rückwärts geführt sind, also eine Verbindung von einem Zellausgang zum Eingang derselben Zelle vorsehen, ist es besonders bevorzugt, Register einzusetzen, weil so hochfrequente Rückkopplungen, die Bauteilzerstörend sein können, durch die registerbedingte Delayzeit vermieden werden können.  
15

Register können jeweils oder teilweise in einer besonders bevorzugten Variante als addierendes und/oder multiplizierendes Register ausgebildet sein; bestimmte Verknüpfungen  
20 lassen sich problemfrei und mit geringem Schaltungsaufwand implementieren und so kann netto die Logikzellenstruktur durch Verlagerung einfacher Verknüpfungsaufgaben entlastet werden. Insbesondere kann ein Register dazu ausgebildet sein, genau zwei Operanden algebraisch zu verknüpfen; bei  
25 Bussen zur Übertragung von Statussignalen, die den Status einer oder einer Reihe von Logikzellen signalisieren und/oder dessen Änderung auslösen, d.h. bei Bussen für sog. Triggervektoren, können die Register bevorzugt dazu ausgelegt sein, Boolesche Verknüpfungen und/oder Nachschautabellen, insbesondere veränderbare Nachschautabellen, zu implementieren.  
30

Als weitere, bevorzugt gleichfalls wahlweise zuschaltbare Leitungszwischenelement können Leitungstreiber vorgesehen  
35 sein. Dies kann insbesondere für Multiplexanordnungen erforderlich sein, die ein starkes Signalauffächern (fanout) vorsehen.

In einer besonders bevorzugten Variante der Erfindung ist es  
40 möglich, längs eines Datenübertragungspfades einen Wechsel von einer Segmentlinie mit längeren auf eine Segmentlinie mit kürzeren Segmenten und/oder umgekehrt vorzusehen. Dies erlaubt es, bei Kommunikation einer größeren Zahl von Zellen in dieselbe Richtung, d.h. längs der selben Busstruktur,  
45 durch entsprechende Kombination kurzer und langer Segmente etwa gleiche Signallaufzeiten auch dann vorzusehen, wenn



Zwischenregister vorgesehen sind. Vergleichbar ist die Busstruktur dabei mit einer Straße, die Schnellspuren und Kriechspuren aufweist und an vorgegebenen Zwischenstellen einen Spurwechsel ermöglicht.

5

Bevorzugt ist es allgemein, wenn das Bussystem eine Vielzahl von parallelen Segmentlinien umfaßt, wobei mehrere parallele Segmentlinien mit längeren Segmenten vorgesehen sind. Die längeren Segmente der Segmentlinien mit längeren Segmenten brauchen nicht alle gleichlang sein; es kann eine Staffelung vorgesehen sein.

Bevorzugt ist es allgemein weiter, wenn bei einer größeren Anzahl von parallelen Segmentlinien die Segmentlinienenden und/oder Leitungszwischenelemente in den Segmentlinien in Busrichtung versetzt gegeneinander angeordnet sind. Typisch sind an den Segmentlinienenden bzw. -anfängen Leitungszwischenelemente wie Schalter, Register, Multiplexer und Treiber vorgesehen. Die hardwaretechnische Implementierung dieser Elemente erfordert nun erheblichen Raum, der gegenüber dem von den in Zwischenschichten anzuordnenden Leitungen beachtlich sein kann. Die bevorzugte versetzte Anordnung dieser Elemente sorgt nun dafür, daß nur Raum für Leitungszwischenelementanordnungen von z.B. zwei oder drei Segmentlinien erforderlich ist, nicht jedoch für Leitungszwischenelementanordnungen aller vorhandenen Segmentlinien. Auch ist es möglich, nicht bei allen Leitungszwischenelementanordnungen Treiber oder Register vorzusehen, sondern diese nur jedes n.-tes Segmentende vorzusehen. Bevorzugt ist jedoch dann, daß wenigstens drei Segmentlinien mit längeren Segmenten für wenigstens zwei Segmentlinien bei vorgegebenen Stellen Segmentlinienwechselkreise angeordnet werden, insbesondere Multiplexer, als Leitungszwischenelemente vorgesehen sind. So kann der gewünschte Segmentwechsel wie erforderlich gestaltet werden. Bevorzugt ist die Busstruktur einem Zopf aus einer Vielzahl sich immer wieder kreuzender Strähnen vergleichbar, wobei an den Strähnenkreuzungen ein Segmentwechsel erfolgen kann und Wechsel unter längs des Busses variierenden Segmentpaaren oder Segmentgruppen möglich sind. Es ist dann möglich und bevorzugt, daß die Segmentlinienwechselkreise für den Wechsel von einer ersten auf eine zweite Segmentlinie an einer ersten Stelle und die Segmentlinienwechselkreise für den Wechsel von einer zweiten auf eine dritte Segmentlinie an einer zweiten Stelle vorgesehen sind.

45

Neben dem nur paarweisen Wechsel wird bevorzugt auch die Möglichkeit geschaffen, an einer Stelle oder einer Vielzahl von Stellen unter mehreren Segmentlinien zu wählen, auf die gewechselt wird und/oder auf welche simultan Daten aufgegeben werden.

In einem weiteren Aspekt der vorliegenden Erfindung wird der Logikzellenanordnung die Kommunikation der Zellen in zwei Richtungen möglich. Bei Busanordnungen mit Leitungszwischenelementen wie Treibern und/oder Registern sind Laufrichtungen definiert; um die Kommunikation der Zellen in zwei Richtungen zu ermöglichen, sind daher bevorzugt getrennte Busanordnungen für entgegengesetzte Laufrichtungen vorgesehen. Wenigstens in einer Richtung können wiederum für wenigstens unterschiedliche, insbesondere wiederum allgemein parallel geführte Segmentlinien mit kürzeren und längeren Segmenten vorgesehen sind.

Bei getrennten Segmentlinien für beide Laufrichtungen ist bevorzugt für wenigstens eine Laufrichtung Register vorgesehen, bevorzugt ist dabei, wie vorstehend erläutert, das Register im rückwärtsgeführten Bussystem vorgesehen, d.h. jenem Bussystem, mit denen Signale von einem Elementausgang zu einem Elementeingang zurückgeführt werden können.

Es sei erwähnt, daß gemäß einem weiteren Aspekt der vorliegenden ein erstes Bussystem für die Übertragung zu bearbeitender Daten und ein zweites Bussystem für die Übertragung von Status- und/oder Kontroll-bzw. Steuerinformation vorgesehen sein kann; wiederum kann ein oder beide Bussysteme mit kurzen und langen Segmenten aufweisenden Segmentlinien gebildet sein und es können bevorzugt die jeweiligen Bussysteme bzw. Busanordnungen separat voneinander konfigurierbar, d.h. in ihrer Verschaltung festlegbar und/oder hinsichtlich der Operationen in verknüpfenden Registern bzw. der Ausgabe von Nachschautabellen bestimmbar sein.

Im Regelfall wird das Bussystem bevorzugt Einsatz finden bei einer Logikzellenanordnung, bei welcher eine Mehrzahl von Logikzellen in Reihe nebeneinander angeordnet sind; es sind dann die die längeren Segmente an wenigstens einer Logikzelle vorbeigeführt; umfaßt die Logikzellenanordnung noch mehr Logikzellen in einer Reihe, sind bevorzugt die längsten Segmente an mehr als einer Logikzelle vorbeigeführt.

Es sei darauf hingewiesen, daß bei wenigstens zweidimensionalen Logikfeldern, also wenigstens reihen- und spaltenweiser Anordnung von Logikzellen, in jeder Reihe und in jeder Spalte ein segmentiertes Bussystem vorgesehen sein kann, das  
5 die vorbeschriebene Struktur mit langen und kurzen Segmenten in parallelen Segmentlinien aufweist.

Die beschriebene Busstruktur ist vorteilhaft bei allen Anordnungen, bei welchen datenverarbeitende also Logik-  
10 Einheiten miteinander verküpft werden sollen. Besondere Vorteile bieten sich aber, wenn die Logikzellen ausgewählt sind aus, umfassen und/oder bilden Rechenwerke, DPGAs, Kress-Arrays, systolische Prozessoren und RAW-Machines; digitale Signalprozessoren (DSPs), die mehr als ein Rechenwerk besitzen, konfigurierbare (programmierbare) Logikzellen oder andere Cores und/oder PAEs, ALU, Eingabe- / Ausgabefunktionen (I/O) und/oder Speichermanagementeinheiten (I/O), Speicher.  
15 Eine erfolgreiche Implementierung einer Busstruktur mit Segmentlinien mit kurzen und langen Segmenten ist die VPU /  
20 XPP-Prozessoreinheit des Anmelders.

Ein solcher Prozessor wird bevorzugt eine Vielzahl unterschiedlicher, in einem Array angeordneter kommunizierender Logikeinheiten aufweisen, wobei die Logikeinheiten wenigstens Speicher- und Datenveränderungseinheiten aufweisen und  
25 die Speichereinheiten randnah am Array angeordnet sind. Dies erlaubt es, Daten durch das Array laufen zu lassen und am Rand erforderlichenfalls zwischenzuspeichern, um eine Umkonfiguration wie erforderlich zu bewirken. Das Durchlaufen kann  
30 auch durch parallele Reihen oder Spalten erfolgen und/oder auf mäandernde Weise, um so erhöhte Rechenleistung bereitzustellen.

Auch können allenfalls Eingang/Ausgangseinheiten näher am  
35 Rand als die Speichereinheiten angeordnet sein; dies erlaubt die Zwischenspeicherung von Daten vor Verarbeitung unter Arraydurchlauf. In jedem Fall wird aber bevorzugt, wenn zur Kommunikation der Logikeinheiten wenigstens von Rand zu Rand wenigstens ein Bussystem vorgesehen ist, das insbesondere  
40 segmentierbar ist wie vorbeschrieben. Dann ist es möglich, wenn zum Betrieb eines Prozessors Daten aus einem ersten randnahen Speicher ausgelesen und in einer ersten, diesem Rand nahe Datenveränderungseinheit wie erforderlich verändert werden, von dort in wenigstens eine weitere Datenveränderungseinheit übertragen werden, um weitere Datenveränderungen wie erforderlich vorzunehmen, die Daten nach Durch-  
45

laufen mehrerer Datenveränderungseinheiten in einen zweiten  
randnahen Speichern an einer vom ersten Speicher entfernten  
Stelle eingespeichert werden, eine Umkonfigurierung der Da-  
tenveränderungseinheiten zur Neubestimmung der Datenverände-  
5 rung vorgenommen wird und die Daten ggf. in entgegengesetzter  
Laufrichtung durch zumindest einen Teil der Datenverände-  
rungseinheiten geführt werden. Auch kann dann zum Betrieb  
vorgesehen sein, daß der Hinlauf in einer Reihe erfolgt und  
der Rücklauf in der bzw. einer darunter liegenden Reihe, um  
10 so Pipelineeffekte zu berücksichtigen.

Der Prozessor kann wenigstens ein programmierbares Gatterfeld  
(PGA) und mehrere Datenveränderungseinheiten mit ALUs auf-  
weisen, wobei anwendungsspezifisch bevorzugt sein kann, wenn  
15 wenigstens eine oder mehrere PGAs von anderen Datenverände-  
rungseinheiten, insbesondere ALUs umgeben sind, um von die-  
sen leicht Daten zu Verknüpfungszwecke erhalten und/oder an  
diese ausgeben zu können.

20 Es ist möglich, daß bei einem Array aus rekonfigurierbaren  
Einheiten mehrere miteinander in Kommunikation bringbare  
insbesondere identische (Teil-) Arrays vorgesehen sind.  
Hierzu kann jeweils eine Umkonfigurierungseinheit vorgesehen  
sein, die zur Umkonfiguration der umkonfigurierbaren Elemen-  
25 te des Arrays ausgebildet sein kann. Innerhalb des Arrays  
verlaufen dann die entsprechend vorstehend beschriebenen  
Busstrukturen. Es ist damit jedem Array eine Umkonfigurie-  
rungsverwaltungseinheit zugeordnet ist, die insbesondere an  
einer Arrayseite angeordnet sein kann, an welcher keine  
30 Speicher- und/oder I/O-Einheiten vorgesehen sind, wobei sich  
die Umkonfigurierungseinheit bevorzugt über die Breite des  
Arrays erstreckt, was den Vorteil bietet, daß eine optimale  
Chipform erzeugt werden kann.

35 Es ist dann wahlweise eine den Arrays gemeinsame Umkonfigu-  
rungsverwaltungsüberinheit vorgesehen, die sich insbe-  
sondere über die Breite von mehr als einem Array erstreckt  
und die für die Kommunikation mit zumindest mehreren, bevor-  
zugt allen der Umkonfigurierungsüberinheiten ausgelegt ist.

40 Alternativ und/oder zusätzlich ist es möglich, bei einem  
solchen Prozessor mit miteinander in Kommunikation bringba-  
ren, insbesondere identischen Arrays, die umkonfigurierbare  
Datenveränderungseinheiten aufweisen, zwischen den Arrays  
45 Vermittlungseinheiten (VPAEs) vorzusehen sind, die zur Kom-  
munikationsvermittlung unter den Feldern angeordnet sind.

Über solche Vermittlungseinheiten (VPAEs) können Daten und/oder Steuersignale (Kontrollsignale, Triggervektoren usw.) übertragen werden.

- 5 Es ist möglich, daß die Konfigurationseinheiten von wenigstens zwei der Arrays direkt in Verbindung miteinander stehen. Es kann dadurch auf eine überwachende (supervising) Konfigurationseinheit verzichtet werden und/oder eine Ausfallsicherheit erhöht werden. Bevorzugt wird dazu die Kommunikation der Konfigurationseinheiten der wenigstens zwei  
10 Arrays, die direkt in Verbindung miteinander stehen, über dedizierte Festleitungen und/oder über beim Booten vorkonfigurierte d.h. festgelegte Datenleitungen bestimmt.
- 15 Es sei erwähnt, daß eine mögliche und bevorzugte Ausbildung der Vermittlungseinheiten (VPAEs) darin besteht, daß diese zwei Konfigurationsregister aufweisen, wobei das erste Konfigurationsregister vom ersten Array und das zweite Konfigurationsregister vom zweiten Array ansprechbar ist. Nur wenn  
20 für beide Arrays der Zugriff auf die Vermittlungseinheiten zugelassen wurde, werden demnach Daten übertragen. Dazu kann das erste Array das Einstellen von Daten in die Vermittlungseinheiten durch entsprechende Konfigurierung des ersten Konfigurationsregisters zulassen und das Einstellen der Daten der anderen Konfigurationseinheiten über die dedizierte  
25 Leitung signalisieren. Danach sind die Daten abholbar, was durch Konfigurierung des zweiten Konfigurationsregisters bestimmbar ist. Insgesamt wird so ein schleusenartiges Übertragen von Daten durch die VPAEs ermöglicht. Die Trennung eines größeren Arrays in Teilarrays erlaubt im übrigen insgesamt die Verringerung des von einer Konfigurationseinheit  
30 handzuhabenden Konfigurationsaufwandes und kann dadurch zu einem effizienten Arraybetrieb beitragen, der nicht durch einen Konfigurationseinheit bedingten Engpass beeinträchtigt ist.  
35

Es ist einleuchtenderweise bevorzugt, wenn die Teil-Arrays über eine mehrere Datenveränderungs- und/oder -  
transfereinheiten (VPAE) miteinander in Kommunikation bringbar sind, um so auch hier keine Datenratenbeschränkung bei  
40 der Datenverarbeitung zu erzeugen.

Bevorzugt ist es, in der geometrischen Hardware-Implementierung der beschriebenen Anordnung, wenn die kommunikationsermöglichenden Datenveränderungseinheiten beidseits  
45 über längs des Arrays verlaufende Busse an das Array ver-

bindbar sind, wobei die Busse insbesondere über den Arrayrand hinauslaufend ausgebildet und dort insbesondere weiter zu I/O-Schnittstelleneinheiten führbar sein können.

- 5 Wie vorstehend erläutert, ist es besonders bevorzugt, wenn im Prozessor ein oder mehrere Datenweiterleitungsregelimplementierungsmittel, insbesondere eine Nachschautabelle vorgesehen ist/sind, das zur Ermöglichung der Datenweiterleitung und insbesondere Datenübersetzung im Ansprechen auf die ge-  
10 meinsame Erfüllung einer Vielzahl von Kriterien, insbesondere ereignisbezogener Kriterien ausgebildet ist. Bei den Weiterzuleitenden Daten kann es sich insbesondere um Daten bzw. Triggervektoren handeln, die mit der Umkonfigurierung und/oder Umkonfigurierbarkeit von Logikzellen zu tun haben.  
15 Die Funktion bzw. die Übersetzung des jeweiligen Datenweiterleitungsregelimplementierungsmittel wird entsprechend konfiguriert.

- Es ist möglich, den Prozessor auch und gerade mit segmentierten Busstrukturen so aufzubauen, daß Datenveränderungseinheiten und Datenspeichermittel vorgesehen sind, wobei zu-  
20 mindest einigen der Datenveränderungseinheiten Datenspeichermittel lokal zugeordnet sind, und insbesondere Mittel vorgesehen sind, um in die lokalen Datenspeichermittel lokal  
25 eingeschriebene Daten zur lokalen neuerlichen Datenveränderung lokal auszulesen. Mit anderen Worten können in einer Logikzelle Zwischenergebnisse gespeichert werden und mit anderen Daten und/oder unter Verwendung anderer Verknüpfungen weiterverarbeitet werden.

- 30 Wenn eine Umkonfigurierung eines Zellarrays aus im Betrieb rekonfigurierbaren Logikzellen erfolgt, das insbesondere eine Umkonfigurierung im Ansprechen auf die Propagation bestimmter vorgegebener Daten erlaubt, wie dies in der die Wave-Rekonfiguration beschreibenden und unter Bezug genommen  
35 Veröffentlichungen insbesondere Schutzrechtsanmeldungen des vorliegenden Anmelders tun, so ist besonders bevorzugt, wenn auswählbar ist, ob die Rekonfiguration im Ansprechen auf die Datenpropagation für alle Logikzellen erfolgt, die von den  
40 vorgegebenen und/oder daraus hergeleiteten Daten angeströmt werden und/oder nur für einen Teil, insbesondere einen Verarbeitungszweig (zB einen if-then-Zweig), während wenigstens ein anderer Zweig unverändert bleibt, was den Umkonfigurationsaufwand verringert und/oder nur eine Teilkette einer längeren Reihe von insbesondere nacheinander Daten verarbeitenden  
45 Logikzellen insbesondere bis zu einer vorgegebenen Lo-

gikzelle umkonfiguriert wird, und/oder, um die Rekonfiguration sofort oder nach der bzw. einer weiteren Datenverarbeitung zu gestatten. Dies erhöht den praktischen Nutzen der Wave-Rekonfiguration wesentlich. Es sei erwähnt, daß eine  
5 solche selektive Wave-Umkonfigurierung unter Verwendung von nur wenigen Befehlen möglich ist, insbesondere z.B. den Befehlen Reset, Step, Stop, Go, Reload. Dementsprechend kann die Anzahl der an eine umkonfigurierbare Logikzelle wie eine PAE geführter Trigger- bzw. Steuereingänge gering sein.

10 Es sei als besonders vorteilhaft und bevorzugt erwähnt, daß die Art und Weise, wie eine Logikzelle auf ein bestimmtes charakteristisches Datenpaket bei Wave-Rekonfiguration reagiert, vorladbar sein kann und/oder ist. Das kann insbesondere durch Vorladen der Nachschautabellen geschehen, die in  
15 den Bussen vorgesehen sind. Die Busse können dabei zum Teil durch Logikzellen geführt sein und/oder von und/oder mit diesen gebildet sein.

20 Es ist ohne weiteres möglich, die Prozessoranordnung mit dem Bussystem der vorliegenden Erfindung zu nutzen, um bei Berechnungen das Verhalten nichtlinearer Systeme schnell und einfach zu approximieren. Dies geschieht bevorzugt, indem für eine Reihe aneinander angrenzender Arbeitsbereiche jeweilige geeignete Approximationen bestimmt werden, zu einem  
25 augenblicklichen Arbeitsbereich (n) sowie zu dessen unten und oben ((n-1), (n+1)) angrenzenden Arbeitsbereichen die Approximationen ermöglichenden Parameter vorgeladen werden, das Verhalten mit dem mittleren (n) Arbeitsbereich approximiert wird, bis der Arbeitsbereich, innerhalb dessen die Approximation geeignet ist, überschritten wird, dann mit jener der Approximation (n-1) weiter gearbeitet wird, welche zu dem Arbeitsbereich gehört, in welchen hinein die Überschreitung erfolgte und bevorzugt die Approximation zu jenem Arbeitsbereich (n+1), in welchen hinein die Überschreitung  
35 nicht erfolgte, überschrieben wird mit einer Approximation (n-2), die gemeinsam mit der zuvor verwendeten Approximation (n) die derzeit verwendete Approximation (n-1) bzw. die zugehörigen Arbeitsbereiche umklammert. Durch das Überschreiben jenes Arbeitsbereichs, in welchen der Arbeitswert nicht gelaufen ist, brauchen bei eindimensionalen Fällen nur drei Varianten vorgeladen zu sein, um eine schnelle Weiterverarbeitung nach Bereichsüberschreitung zu sichern. Da das Überschreiben des vorgeladenen Arbeitsbereiches während der Datenverarbeitung geschieht, ist bei stetigem Übergang der Arbeits-Werte ohne größere Sprünge oder steile Änderungen eine  
40  
45

konstante Datenberechnung möglich. Es sei als einleuchtend erwähnt, daß sich diese Art der Approximation auf mehrdimensionale Fälle durch Arbeitswertumklammerung in mehr als einer Richtung und entsprechendes Überschreiben der nach Überschreiten eines n-dimensionalen Arbeitswertintervalls nicht mehr dem aktuellen Arbeitswertintervall benachbarter Intervalle übertragen läßt und schutzrechtlich als umfaßt angesehen wird.

- Die Erfindung wird im Folgenden nur beispielsweise anhand der Zeichnung beschrieben. In dieser zeigt:
- Fig.1 den Gesamtaufbau eines erfindungsgemäß ausgestalteten Logikzellenarrays
  - Fig.2 eine detailliertere Ansicht hierzu mit als Clustern bezeichneten Teilarrays, VPAEs dazwischen und Anschlußbussen
  - Fig. 3 ein Beispiel für ein Vorwärtsregister eines Konfigurationsbusses
  - Fig. 4 die Hierarchie von Konfigurationsmanagern eines erfindungsgemäß ausgestalteten Logikzellenarrays
  - Fig. 5 Details einer PAE mit Angaben, welche Details in verschiedenen Voranmeldungen partiell zu entnehmen sind. Erkennbar sind die drei Dateeingänge A B C in die Logikzelle, die fünf Triggereingänge für den Triggervektor Reset Stop Step GO RELoad, die beiden Daten-Ausgänge H(igh) und L(ow) sowie die Statussignalausgänge UVW und ie Busaufkopplung
  - Fig. 6 a den Aufbau der Logikzelle im Blockbild
  - Fig. 6b den Aufbau eines Registers
  - Fig. 6c den Registeraufbau eines Rückwärtsregisters für Eventsignale mit der hier neuen optionalen Nachschautabelle
  - Fig. 6d ein Vorwärtsregister mit Vorlademöglichkeit
  - Fig 7 den Detailaufbau einer Speicherzelle, die eine von datenverändernden Logikzellen (PAEs) unterschiedlichen Eingang mit entsprechender anderer erforderlicher Busbreite aufweist
  - Fig. 8 eine weitere Detailansicht eines Rückwärtsregisters im Konfigurationsbus mit Nachschautabelle für die Implementierung boolscher Verknüpfungen von Triggervektorbits
  - Fig. 9 weitere Prozessordetails insbesondere der Busse
  - Fig. 10 unsynchronisierte I/O Schaltung mit zwei Bussen
  - Fig. 11 synchronisierte I/O Schaltung mit zwei Bussen



Nach Fig.1 umfaßt ein allgemein mit 1 bezeichneter Prozessor 1, der eine als XPP (xtreme processing platform) bezeichnbare Einheit bilden kann, zwei Felder oder Cluster

- 5        -einer Anzahl von arithmetischen Logikzellen (ALU-PAEs=arithmetic logic unit processing array element),
- Speicherzellen (RAM-PAEs= Random acces memory processing array element)
- 10       -mehreren, dargestellt vier Eingangs-/Ausgangszellen (E/A-Elemente, Input-output-processing array element),
- ein durch jedes Feld verlaufendes Bussystem, und
- einen Konfigurationsmanager, der dem Feld zugeordnet
- 15       ist,
- wobei diese Elemente zusammen als Cluster eine Einheit bilden, die für sich in der Lage ist, Daten zu verarbeiten und zwar als rekonfigurierbare Einheit und wobei den beiden Konfigurationsmanagern (CM) der
- 20       Cluster ein übergeordneter Konfigurationsmanager (SCM) zugeordnet ist, um so ein Übercluster bzw. die XPP zu bilden, wobei erwähnt sei, daß es insbesondere unter Ausnutzung baumartiger Hierarchiestrukturen möglich ist, mehr als zwei Felder von
- 25       Prozessorelementen zusammenarbeiten zu lassen; so kann ein übergeordneter Konfigurationsmanager mehr als nur zwei Konfigurationsmanagern (CM) übergeordnet sein, welche ihrerseits jeweils nur einem einzelnen PAE-Cluster zugeordnet sind, und/oder es
- 30       kann vorgesehen sein, daß eine mehrstufige Konfigurationsmanager-Hierarchie aufgebaut ist, worin ersten, eigentlich dem Cluster zugeordneten Konfigurationsmanagern (CM) ein Konfigurationsmanager mittlerer Ebene zugeordnet ist und diese wiederum
- 35       einer oder mehreren Hierarchieebenen unterstehen.

Fig. 1 gibt dabei die Anordnung der Zellen zueinander in einer zweidimensionalen Matrix und deren relative Größe näherungsweise zumindest insofern korrekt wieder, als daß die

40        einzelnen Zellen sehr regelmäßig angeordnet sind und insbesondere die PAEs, also die speichernden und arithmetischen Logikzellen näherungsweise die gleiche Größe besitzen, was es erlaubt, bei der allgemein rechteckigen und/oder regulären Zellstruktur mit annähernd gleicher Anbindung an das

45        Bussystem eine Kachelung vorzunehmen; die gezeigte Kachelung ist dabei aber insbesondere insofern willkürlich hinsicht-

lich der Anordnung von Speichern und Arithmetikeinheiten zueinander, als daß andere Anordnungen, auch unter Miteinbeziehung der I/O-Zellen und/oder unter Verwendung noch anderer Elemente problemfrei möglich sind, und ohne weiteres an eine gewünschte spezielle Rechenaufgabe anpaßbar sind. Die gezeigte Darstellung ist auch insofern beispielhaft, als statt einer zweidimensionalen Matrix auch eine dreidimensionale Anordnung von Einzelzellen im Raum möglich ist, sofern die Herstellungstechnik der verwendeten Halbleitertechnologie dies erlaubt.

Eine einzelne PAE umfaßt nun eine Vielzahl von Ein- und Ausgängen. Dabei ist die einzelne PAE einerseits mit Datenein- und Ausgängen (A,B,C) versehen und andererseits mit Steuer- bzw. Kontrolllein- und ausgängen (U,V,W). Wie aus Fig. 1 ersichtlich, sind die PAEs in horizontalen Reihen angeordnet, wobei die Zellen untereinander über ein Bussystem miteinander verbunden sind; diese horizontalen Bussystem sind in der Feldmitte verbunden mit den darüber bzw. darunter liegenden PAEs und zwar im gezeigten bevorzugten Beispiel nach oben und unten nur mit diesen. Damit erfolgt der Transfer von Daten und Statussignalen (d.h. Steuersignalen) nach oben und unten durch die PAEs hindurch und zwar bevorzugt wie dargestellt in Fig. 1 unabhängig davon, um welche Art von PAEs es sich handelt, also unabhängig davon, ob es sich im vorliegenden Beispiel um eine RAM-PAE oder eine ALU-PAE handelt; es sind demnach alle Sorten von PAEs bevorzugt auf die gleiche Weise an das Bussystem angeschlossen und intern entsprechend verschaltet. Anders als dargestellt, wäre es prinzipiell sogar möglich, auch die E/A-Zellen zur Verbindung übereinander liegender Buslinien auszugestalten, was vorliegend allerdings unterblieben ist.

Die PAEs dienen somit der Weiterleitung von Daten, also zu verarbeitende sowie Steuer- bzw. Kontrollflußdaten in vertikaler Richtung. Die PAEs sind dabei so ausgebildet, daß diese Weiterleitung unter Datenveränderung oder unverändert erfolgt.

Die Datenveränderung kann zunächst in der eigentlichen Funktionseinheit der PAE erfolgen, z.B. wenn diese als arithmetische Logikeinheit ausgestattet ist und Daten in der Arithmetikeinheit verknüpft werden; um sicherzustellen, daß Daten hinreichend schnell bereitgestellt werden, um in der Zelle verknüpft zu werden und eine optimale Ausnutzung der Zelltaktung zu bewirken, sind drei Leitungen A,B,C mit der Bit-

breite, die in der Zelle verarbeitet werden kann, an die Zelle geführt, vgl. Fig. 5. Dabei ist insbesondere auch eine bevorzugte additive Eingangsverknüpfung möglich, was es erlaubt, mit der Zelle Ergebnisse Operationen der Art  $(A+B)*C$  zeit- und platzeffizient zu bestimmen. Wenn keine Datenveränderung erforderlich ist, können die Daten an der Funktionseinheit vorbeigeleitet werden. So können z.B. Daten, die in einer Reihe weiter unten benötigt werden, dorthin durchgeleitet werden, ohne einer Veränderung in der PAE unterworfen zu werden. Es sei erwähnt, daß bei der simultanen Zuleitung von z.B. drei Datenwörtern entsprechend drei Eingänge A, B, C diese unterschiedlich weitergeleitet werden können. So ist es z.B. möglich, nur das Datenwort auf Leitung C unverändert weiterzuleiten, während A und B in der ALU miteinander verknüpft werden, z.B. durch Division  $A/B$ . Alternativ können auch zwei Datenworte an der ALU vorbeigeleitet werden, während ein Datenwort in der ALU z.B. mit einer Konstanten oder einem dort zwischengespeicherten anderen Wert verknüpft wird. Die Übertragbarkeit auf andere Datenwortmengen, die simultan der PAE zugeleitet werden, ist offensichtlich, d.h. es können auf Wunsch auch z.B. mehr als drei Datenworte an die PAE geführt sein; das einzelne Wort hat dabei die prozessorspezifische Bitbreite, vorliegend z.B. 32 Bit.

Beliebige Eingänge und/oder Ausgänge von PAEs können mit Konstanten von der Konfigurationseinheit (CT / CM) konfiguriert werden. Dabei können Konstante während des gesamten Betriebs einer Konfiguration unverändert konstant bleiben oder während des Betriebs d.h. der Ausführung einer Konfiguration von neuen Daten der Konfigurationseinheit (CT/CM) und/oder anderer Quellen wie z.B. PAEs überschrieben werden.

Auch ist einsichtig, daß anders als bei PAEs mit ALUs etwa in RAM-PAEs statt einer Verknüpfung aller oder eines Teils der Daten eine vollständige oder partielle Speicherung und/oder eine vollständige oder partielle Weiterleitung erfolgen kann.

Die Weiterleitung der Daten kann des weiteren unter Umgehung der eigentlich datenverändernden PAE-Kern-Einheit wie der ALU dergestalt erfolgen, daß dennoch eine Veränderung der Daten vor bzw. während der Weiterleitung erfolgt. Dies kann durch Veränderung der Daten unter Heranziehung von Nachschautabellen und anderen Verknüpfungseinheiten geschehen, z.B. Einheiten, die die eintreffenden Datenworte der Größe nach sortieren. Diese Einheiten sind bevorzugt zwischen die

Busankopplung und den Eintritt in die PAE-Kern-Einheit angeordnet und in ihrer Funktion konfigurierbar, wodurch insbesondere konfigurierbar ist, ob die Daten unverändert weitergeleitet werden oder nicht; wenn sie nicht unverändert, sondern verändert weitergeleitet werden, ist konfiguriert, wie innerhalb der gegebenen Möglichkeiten die Veränderung erfolgt. Besonders wichtig ist dabei für die Statussignalweiterleitung das Vorsehen von Nachschautabellen, da mit diesen im Ansprechen auf vorbestimmte Eingangssignale ohne weiteres vorgegebene Ausgangssignale erzeugbar sind.

Weiter kann die Datenweiterleitung auch unveränderter Daten konfigurierbar sofort oder registerverzögert erfolgen. Die dargestellte einzelne PAE hat zu diesem Zweck je ein konfigurierbar zuschaltbares Vorwärts- und ein konfigurierbar zuschaltbares Rückwärtsregister für die zu verarbeitenden Daten und je ein konfigurierbar zuschaltbares Vorwärts- und ein konfigurierbar zuschaltbares Rückwärtsregister für Steuerdaten, d.h. Triggervektoren bzw. Statussignale und/oder Kontrollflußdaten; es sei darauf hingewiesen, daß Register mit erhöhter (Zwischenspeicher-)Tiefe insbesondere als FIFO-Register vorsehbar wären, etwa um Daten mehrtaktig zwischenspeichern. Den jeweiligen Registern ist ein konfigurierbarer Multiplexer zugeordnet, mit welchem das jeweilige Register wahlweise in den Datenweg geschaltet werden kann oder aus ihm entfernt. Auch sind die Multiplexer dazu konfigurierbar, Ergebnisse aus der Zelle wie erwünscht und erforderlich auf die Busse zu schalten. So können z.B. das obere und untere Bitwort, das bei einer Multiplikation erhalten wird, ausgegeben werden (H,L) und/oder es wird nur ein Ergebnisdatenwort (H) ausgegeben und ein Datenwort (A) weitergeleitet und auf den Bus ausgegeben, wobei sogar eine gewünschte Vertauschung (A $\leftrightarrow$ H) konfiguriert werden kann. Damit ist eine PAE im vorliegenden Prozessormodell, und dies sei in seiner Bedeutung herausgestellt, charakterisiert durch eine Struktur, die eine Zentral-Funktionalität besitzt wie eine ALU, ein RAM und/oder z.B. auch ein FPGA und die weiter Datenweiterleitungsfunktionalität besitzt, wobei sie bevorzugt eine Vorwärts- und/oder Rückwärtsregisterdatenweiterleitungsfunktionalität besitzen kann, also dann aus drei Basismodulen, nämlich dem Zentralfunktionalitätsmodul wie FPGA, ALU, RAM und den zwei (Vorwärts- /Rückwärts-) Registerdatenweiterleitungsfunktionalitätsmodulen besteht, wobei diese letzteren Zusatzfunktionen implementieren können. Zentralfunktionalität bedeutet dabei nicht räumliche Zentralfunktionalität, sondern Funktionalität im Sinne von Abstel-

len auf die zentrale Bedeutung und Wirkung der jeweiligen PAE. Die Zusatzfunktionen, die durch die Registerdatenweiterleitungsfunktionalitätsmodule implementiert sind, umfassen insbesondere bevorzugt im Vorwärtsregister für den Datenfluß Kontrolloperationen wie das Multiplexen oder Demultiplexen sowie das Kopieren und/oder andere Manipulieren von Daten; im Rückwärtsregister wird bevorzugt implementiert eine ALU-Funktionalität für den Datenfluß und/oder eine Boolesche Verknüpfung von Eventsignalen, d.h. Triggersignalen. Somit besteht die PAE aus Modulen zur Manipulation von Datenströmen, zur operativen Verknüpfung und/oder Generierung von Datenpaketen sowie aus der Verarbeitung durch zumeist logische Verknüpfung und Generierung von Eventpaketen.

Die Ein-Ausgabemodule sind in ihrer Struktur gleichfalls in besonderer Weise an die Anforderungen der Datenverarbeitungsaufgabe angepaßt. Dazu ist jedes der Ein-Ausgabemodule mit mehreren Kanälen versehen, die unabhängig voneinander im sog. PORT-Modus (Fig. 10) arbeiten können oder in Synchronisation zueinander im sog. RAM-Modus (Fig. 11) arbeiten können. Jedes E/A-Modul kann dabei von mehreren Algorithmen unter Verwendung mehrerer Algorithmen gleichzeitig verwendet werden, wozu auch Sortieralgorithmen herangezogen werden können.

Mit anderen Worten arbeitet im Speicher-(RAM)-Modus (Fig. 11) das Ein/Ausgabemodul (I/O Schnittstelle) als Schnittstelle zu externem Speicher. Es werden dabei Schreibdaten und Adressdaten eines jeden Kanals synchronisiert, d.h. erst wenn beide Datenpakete vorhanden sind, wird ein externer Schreibvorgang gestartet. Im Lesemodus sortiert die EA Einheit von extern gesendete Pakete wieder an die internen Kanäle. Die Umschaltung zwischen Schreib- und Lesemodus kann z.B. per Konfiguration oder z.B. durch Signale erfolgen.

[illegible]

## PCT-Anmeldung "Verfahren und Vorrichtung"

5

10

## Patentansprüche

15

20

25

30

35

40

45

1. Logikzellenanordnung mit einer Anzahl Logikzellen und einem segmentierten Bussystem für die Logikzellenkommunikation, dadurch gekennzeichnet, daß das Bussystem unterschiedliche Segmentlinien mit kürzeren und längeren Segmenten zur Verbindung zweier Punkte umfaßt, um die Anzahl zu durchlaufender Buselemente bei auseinander beabstandeten Kommunikationsstart- und Endpunkten gering halten zu können.
2. Logikzellenanordnung nach dem vorhergehenden Anspruch, dadurch gekennzeichnet, daß die Segmentlinien jeweils aus einer Mehrzahl paralleler Leitungen gebildet sind, deren Anzahl durch die Bus-Breite und/oder das Busprotokoll bestimmt ist.
3. Logikzellenanordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß datenverändernden Logikzellen drei der für die verarbeitete Bitbreite erforderlichen Leitungsbündel als Datenzuführungsleitungen zugeführt sind.
4. Logikzellenanordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß von datenverändernde Logikzellen zwei der für die verarbeitete Bitbreite erforderlichen Leitungsbündel für Daten weggeführt sind, insbesondere mit einem Leitungsbündel für höherwertige und einem Leitungsbündel für niederwertigere Bits.
5. Logikzellenanordnung insbesondere nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß bei

- rekonfigurierbaren Logikzellen an deren Steuereingänge Leitungsbündel geführt sind, die derart angeordnet sind, daß wenigstens Signale in die Zelle übertragbar sind, die alternativ wenigstens eine Art der Aktivierung (Step, Stop, Go), ein Zurücksetzen (Reset) und ein Rekonfigurieren (Reload) bewirken können.
- 5
6. Logikzellenanordnung nach einem der vorhergehenden Ansprüche,  
10 dadurch gekennzeichnet, daß  
das Bussystem Segmente zur Verbindung der Logikzellen  
-untereinander und/oder mit  
- internen und/oder externen, die Logikzellen  
-konfigurierenden und/oder rekonfigurierenden  
15 Einheiten, und/oder  
-I/O-Schnittstellen und/oder  
zur Logikzellenanordnung externen Datenspeichern  
umfaßt.
- 20 7. Logikzellenanordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß  
das Busystem neben Leitungen weiter Leitungszwischenelemente umfaßt,  
insbesondere zumindest eines der Buselemente  
25 Verbindungs-Schalter,  
Multiplexer,  
Register,  
insbesondere algebraisches verknüpfendes Register,  
30 insbesondere addierendes und/oder multiplizierendes Register,  
insbesondere nur zwei Operanden algebraisches verknüpfendes Register  
Logikverknüpfungsschaltungen boolscher Art,  
35 insbesondere Nachschautabellen, und/oder  
Leitungstreiber.
8. Logikzellenanordnung nach dem vorhergehenden Anspruch, worin Logikverknüpfungsschaltungen als Buselemente vorgesehen sind, dadurch gekennzeichnet, daß die Logikverknüpfungsschaltungen von einer Logikzellenrekonfigurierungseinheit, insbesondere einer Konfigurationsmanagereinheit und/oder einer Logikzelle beschreibbar ist.
- 40
9. Logikzellenanordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß Übergangsmöglich-
- 45

keiten von einem Segment einer ersten Segmentlinie auf ein Segment einer zweiten Segmentlinie vorgesehen sind.

- 5 10. Logikzellenanordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß das Bussystem eine Vielzahl von parallelen Segmentlinien umfaßt, wobei mehrere parallele Segmentlinien mit längeren Segmenten vorgesehen sind.
- 10 11. Logikzellenanordnung nach dem vorhergehenden Anspruch, dadurch gekennzeichnet, daß  
für unterschiedliche der Mehrzahl an parallelen Segmentlinien mit längeren Segmenten  
die Segmentlinienenden und/oder Leitungszwischen-  
15 scheinenelemente in den Segmentlinien  
in Busrichtung versetzt gegeneinander angeordnet sind, insbesondere um jeweils mindestens eine Logikzeleinheit versetzt.
- 20 12. Logikzellenanordnung nach dem vorhergehenden Anspruch, dadurch gekennzeichnet, daß bei wenigstens drei Segmentlinien mit längeren Segmenten für wenigstens zwei Segmentlinien bei vorgegebenen Stellen Segmentlinienwechselkreise, insbesondere Multiplexer, als Leitungs-  
25 zwischenenelemente vorgesehen sind.
13. Logikzellenanordnung nach dem vorhergehenden Anspruch, dadurch gekennzeichnet, daß die Segmentlinienwechselkreise für den Wechsel von einer ersten auf eine zweite  
30 Segmentlinie an einer ersten Stelle und die Segmentlinienwechselkreise für den Wechsel von einer zweiten auf eine dritte Segmentlinie an einer zweiten Stelle vorgesehen sind.
- 35 14. Logikzellenanordnung nach dem vorhergehenden Anspruch, dadurch gekennzeichnet, daß zumindest ein Segmentlinienwechselmultiplexer vorgesehen ist, der den Übergang von einer Segmentlinie auf wenigstens eine wahlweise einer Vielzahl von Segmentlinien ermöglicht.
- 40 15. Logikzellenanordnung nach dem vorhergehenden Anspruch, dadurch gekennzeichnet, daß getrennte Busanordnungen für entgegengesetzte Laufrichtungen ausgebildet sind, wobei für wenigstens eine Laufrichtung unterschiedliche  
45 Segmentlinien mit kürzeren und längeren Segmenten vorgesehen sind.



16. Logikzellenanordnung nach dem vorhergehenden Anspruch, dadurch gekennzeichnet, daß bei getrennten Segmentlinien für beide Laufrichtungen und für wenigstens eine  
5 Laufrichtung Register vorgesehen sind.
17. Logikzellenanordnung nach dem vorhergehenden Anspruch, dadurch gekennzeichnet, daß Register in rückwärtsgeführten Bussystemen vorgesehen sind, d.h. Bussystemen,  
10 mit denen Signale von einem Elementausgang zu einem Elementeingang zurückgeführt werden können.
18. Logikzellen nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß wahlweise zuschaltbare Register zwischen zumindest zwei Segmenten wenigstens einer  
15 Segmentlinie vorgesehen sind.
19. Logikzellen nach dem vorhergehenden Anspruch, dadurch gekennzeichnet, daß wenigstens ein wahlweise zuschaltbares Register in einem vorwärtsgeführten Register vorgesehen ist.  
20
20. Logikzellen nach dem vorhergehenden Anspruch, dadurch gekennzeichnet, worin ein Mittel vorgesehen ist, um das Register bei Ausführung eines Programmes nach Wahl des  
25 Compilers zuzuschalten.
21. Logikzellenanordnung insbesondere nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß ein erstes Bussystem für die Übertragung zu bearbeitender  
30 Daten und ein zweites Bussystem für die Übertragung von Status- und/oder Kontroll- bzw. Steuerinformation vorgesehen ist.
22. Logikzellenanordnung nach dem vorhergehenden Anspruch, dadurch gekennzeichnet, daß wenigstens bei einem der  
35 Bussystem unterschiedliche Segmentlinien mit parallelen kürzeren und längeren Segmenten zur Verbindung zweier Punkte vorgesehen sind, um bei auseinander beabstandeten Logikzellen die Anzahl zu durchlaufender Buselemente gering halten zu können.  
40
23. Logikzellenanordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß wenigstens eine Reihe mit wenigstens drei Logikzellen vorgesehen ist  
45 und die längeren Segmente an wenigstens einer Logikzelle vorbeigeführt sind.

24. Logikzellenanordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß wenigstens eine Reihe mit mehr als drei Logikzellen vorgesehen ist und die längsten Segmente an mehr als einer Logikzelle vorbeigeführt sind.
25. Logikzellenanordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Logikzellen ausgewählt sind aus, umfassen und/oder bilden Rechenwerke, DPGAs, Kress-Arrays, systolische Prozessoren und RAW-Machines; digitale Signalprozessoren (DSPs), die mehr als ein Rechenwerk besitzen, konfigurierbare (programmierbare) Logikzellen oder andere Cores und/oder PAEs, ALU, Eingabe- / Ausgabefunktionen (I/O) und Speichermanagementeinheiten (I/O), Speicher.
26. Prozessor mit einer Vielzahl unterschiedlicher, in einem Array angeordneter kommunizierender Logikeinheiten, dadurch gekennzeichnet, daß die Logikeinheiten wenigstens Speicher- und Datenveränderungseinheiten aufweisen und die Speichereinheiten randnah am Array angeordnet sind.
27. Prozessor nach dem vorhergehenden Anspruch, dadurch gekennzeichnet, daß allenfalls Eingang/Ausgangseinheiten näher am Rand als die Speichereinheiten angeordnet sind.
28. Prozessor nach dem vorhergehenden Anspruch, dadurch gekennzeichnet, daß zur Kommunikation der Logikeinheiten wenigstens von Rand zu Rand wenigstens ein Bussystem vorgesehen ist.
29. Prozessor nach dem vorhergehenden Anspruch, dadurch gekennzeichnet, daß die Speichereinheiten am Rand des Bussystems angeordnet sind.
30. Prozessor nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß mehrere miteinander in Kommunikation bringbare insbesondere identische Arrays vorgesehen sind.
31. Verfahren zum Betrieb eines Prozessors nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß Daten aus einem ersten, insbesondere randnahen Speicher

- ausgelesen und in einer ersten, diesem Speicher nahe Datenveränderungseinheit wie erforderlich verändert werden, insbesondere von dort in wenigstens eine weitere Datenveränderungseinheit übertragen werden, um weitere Datenveränderungen wie erforderlich vorzunehmen, die Daten nach Durchlaufen einer oder mehrerer Datenveränderungseinheiten in einen zweiten Speicher an einer vom ersten Speicher insbesondere entfernten Stelle eingespeichert werden, eine Umkonfigurierung der Datenveränderungseinheiten zur Neubestimmung der Datenveränderung vorgenommen wird, wonach insbesondere möglich ist, daß die so veränderten und/oder erzeugten Daten neuerlich insbesondere in entgegengesetzter Laufrichtung und insbesondere durch zumindest einen Teil der Datenveränderungseinheiten geführt werden.
32. Verfahren zum Betrieb eines Prozessors nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, wobei der Hinlauf in einer Reihe erfolgt und der Rücklauf in der bzw. einer darunter liegenden Reihe, um so Pipelinee effekte zu berücksichtigen.
33. Prozessor insbesondere nach einem der vorhergehenden Ansprüche mit einem wenigstens zweidimensionalen Array unterschiedlicher Datenveränderungseinheiten, die wenigstens eine programmierbares Gatterfeld (PGA) und mehrere Datenveränderungseinheiten mit ALUs aufweisen, dadurch gekennzeichnet, daß das wenigstens eine oder mehrere PGAs von anderen Datenveränderungseinheiten, insbesondere ALUs umgeben sind.
34. Prozessor insbesondere nach einem der vorhergehenden Ansprüche, mit miteinander in Kommunikation bringbaren insbesondere identische Arrays, die umkonfigurierbare Datenveränderungseinheiten und eine Umkonfigurierungseinheit aufweisen, dadurch gekennzeichnet, daß jedem Array eine Umkonfigurierungsverwaltungseinheit zugeordnet ist, die insbesondere an einer Arrayseite angeordnet ist, an welcher keine Speicher- und/oder I/O-Einheiten vorgesehen sind, wobei sich die Umkonfigurierungseinheit bevorzugt über die Breite des Arrays erstreckt.

35. Prozessor nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß eine den Arrays gemeinsame Umkonfigurierungsverwaltungsvereinheit vorgesehen ist, die sich insbesondere über die Breite von mehr als einem Array erstreckt und die für die Kommunikation mit zumindest mehreren, bevorzugt allen der Umkonfigurierungsüberienheiten ausgelegt ist.
36. Prozessor mit miteinander in Kommunikation bringbaren insbesondere identische Arrays, die umkonfigurierbare Datenveränderungseinheiten aufweisen, wobei zwischen den Arrays Vermittlungseinheiten (VPAEs) vorgesehen sind, die zur Kommunikationsvermittlung angeordnet sind.
37. Prozessor nach dem vorhergehenden Anspruch, dadurch gekennzeichnet, daß die Konfigurationseinheiten von wenigstens zwei der Arrays direkt in Verbindung miteinander stehen, insbesondere über dedizierte Festleitungen und/oder über beim Booten vorkonfigurierte Datenleitungen.
38. Prozessor nach einem der beiden vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Vermittlungseinheiten (VPAEs) zwei Konfigurationsregister aufweisen, wobei das erste Konfigurationsregister vom ersten Array und das zweite Konfigurationsregister vom zweiten Array ansprechbar ist, um so ein schleusenartiges Übertragen von Daten durch die VPAEs zu ermöglichen.
39. Prozessor insbesondere nach einem der beiden vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Arrays über eine Reihe Datenveränderungs- und/oder transfereinheiten (VPAE) miteinander in Kommunikation bringbar sind.
40. Prozessor nach dem vorhergehenden Anspruch, dadurch gekennzeichnet, daß die kommunikationsermöglichenden Datenveränderungseinheiten beidseits über längs des Arrays verlaufende Busse an das Array verbindbar sind, wobei die Busse insbesondere über den Arrayrand hinauslaufend ausgebildet und dort insbesondere weiter zu I/O-Schnittstelleneinheiten führbar sein können.

41. Prozessor nach dem vorhergehenden Anspruch, dadurch gekennzeichnet, daß an den Array-Außenrändern, die nicht an Nachbararrays angrenzen, längs des Arrays verlaufende Busse an das Array vorgesehen sind, die insbesondere über den Arrayrand hinauslaufend ausgebildet und dort insbesondere weiter zu I/O-Schnittstelleneinheiten führbar sind.
42. Prozessor insbesondere nach einem der vorhergehenden Ansprüche mit einer umkonfigurierbaren Datenveränderungseinheit, die von Daten in einer durch I/O-Anschlüsse vorgegebenen Richtung durchströmt ist, wobei die Daten dadurch gekennzeichnet, daß ein Vorwärtsregister zur Datenweiterleitung im Ansprechen auf vorgegebene Ereignisse vorgesehen ist.
43. Prozessor nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß ein Datenweiterleitungsregelimplementierungsmittel, insbesondere eine Nachschautabelle vorgesehen ist, das zur Ermöglichung der Datenweiterleitung im Ansprechen auf die gemeinsame Erfüllung einer Vielzahl von Kriterien, insbesondere ereignisbezogener Kriterien ausgebildet ist, bei Auslegung des Arrays mit reihenweise angeordneten Datenveränderungs- und/oder -verknüpfungseinheiten insbesondere auf die gemeinsame Erfüllung einer Vielzahl von in einer Reihe erfüllten Kriterien.
44. Prozessor insbesondere nach einem der vorhergehenden Ansprüche wobei Datenveränderungseinheiten und Datenspeichermittel vorgesehen sind, dadurch gekennzeichnet, daß zumindest einigen der Datenveränderungseinheiten Datenspeichermittel lokal zugeordnet sind, und insbesondere Mittel vorgesehen sind, um in die lokalen Datenspeichermittel lokal eingeschriebene Daten zur lokalen neuerlichen Datenveränderung lokal auszulesen.
45. Prozessor mit einer Mehrzahl umkonfigurierbarer Logikzellen, wobei wenigstens eine und bevorzugt eine Vielzahl von Logikzellen wenigstens einen Eingang zum Zurücksetzen der Logikzelle (Reset), wenigstens einen Eingang zum Umkonfigurieren der

Logikzelle (Rekonfig) und  
wenigstens einen Eingang und bevorzugt mehrere  
Eingänge zum Aktivieren der Logikzelle (Step, Stop, Go)

5 und/oder worin die Vielzahl von Zellen  
Statuseingänge aufweisen, welche dazu ausgelegt  
sind, angelegte Status-Eingangssignale zu unterscheiden  
in  
10 wenigstens einen Eingangsstatus zum Zurücksetzen  
der Logikzelle (Reset),  
wenigstens einen Eingangstatus zum Umkonfigurieren  
der Logikzelle (Rekonfig) und  
wenigstens einen Eingang zum Aktivieren der Logikzelle  
(Step, Stop, Go).

15

46. Verfahren zur Umkonfigurierung eines Zellarrays aus im  
Betrieb rekonfigurierbaren Logikzellen, wobei die Um-  
konfigurierung im Ansprechen auf die Propagation be-  
20 stimmter vorgegebener Daten erfolgt, dadurch gekenn-  
zeichnet, daß auswählbar ist,  
ob die Rekonfiguration

für alle Logikzellen erfolgt, die von den vorgege-  
benen und/oder daraus hergeleiteten Daten angeströmt  
25 werden  
und/oder

nur für einen Teil, insbesondere einen Verarbei-  
tungszweig (zB einen if-then-Zweig), während wenigstens  
ein anderer Zweig unverändert bleibt,

30 und/oder nur eine Teilkette einer längeren Reihe  
von nacheinander Daten verarbeitenden Logikzellen  
insbesondere bis zu einer vorgegebenen Logikzelle,  
und/oder,

um die Rekonfiguration sofort oder nach der bzw.  
35 einer weiteren Datenverarbeitung zu gestatten und  
eine solche Auswahl vorgenommen wird.

47. Verfahren zur vorladbare Logikeinheiten verwendenden  
Approximation des Verhaltens nichtlinearer Systeme,  
40 insbesondere unter Verwendung von Logikzellenanordnungen  
nach einem der vorhergehenden Ansprüche, dadurch ge-  
kennzeichnet, daß

für eine Reihe aneinander angrenzender Arbeitsbe-  
reiche jeweilige geeignete Approximationen bestimmt  
45 werden,

zu einem augenblicklichen Arbeitsbereich (n) sowie

zu dessen unten und oben  $((n-1), (n+1))$  angrenzenden Arbeitsbereichen die Approximationen ermöglichenden Parameter vorgeladen werden,

5 das Verhalten mit dem mittleren  $(n)$  Arbeitsbereich approximiert wird, bis der Arbeitsbereich, innerhalb dessen die Approximation geeignet ist, überschritten wird,

10 dann mit jener der Approximation  $(n-1)$  weiter gearbeitet wird, welche zu dem Arbeitsbereich gehört, in welchen hinein die Überschreitung erfolgte und bevorzugt

15 die Approximation zu jenem Arbeitsbereich  $(n+1)$ , in welchen hinein die Überschreitung nicht erfolgte, überschrieben wird mit einer Approximation  $(n-2)$ , die gemeinsam mit der zuvor verwendeten Approximation  $(n)$  die derzeit verwendete Approximation  $(n-1)$  bzw. die zugehörigen Arbeitsbereiche umklammert.

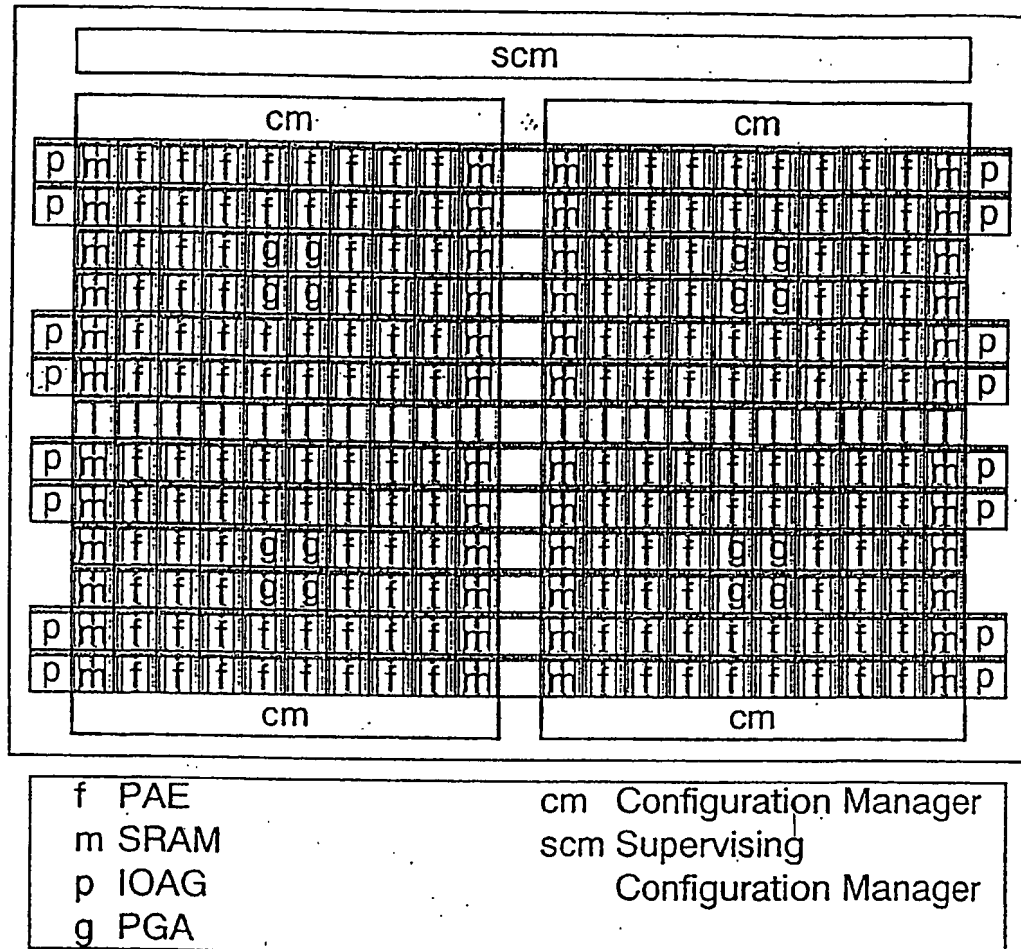


Figure 1: The overall structure of an XPU.

Fig. 1



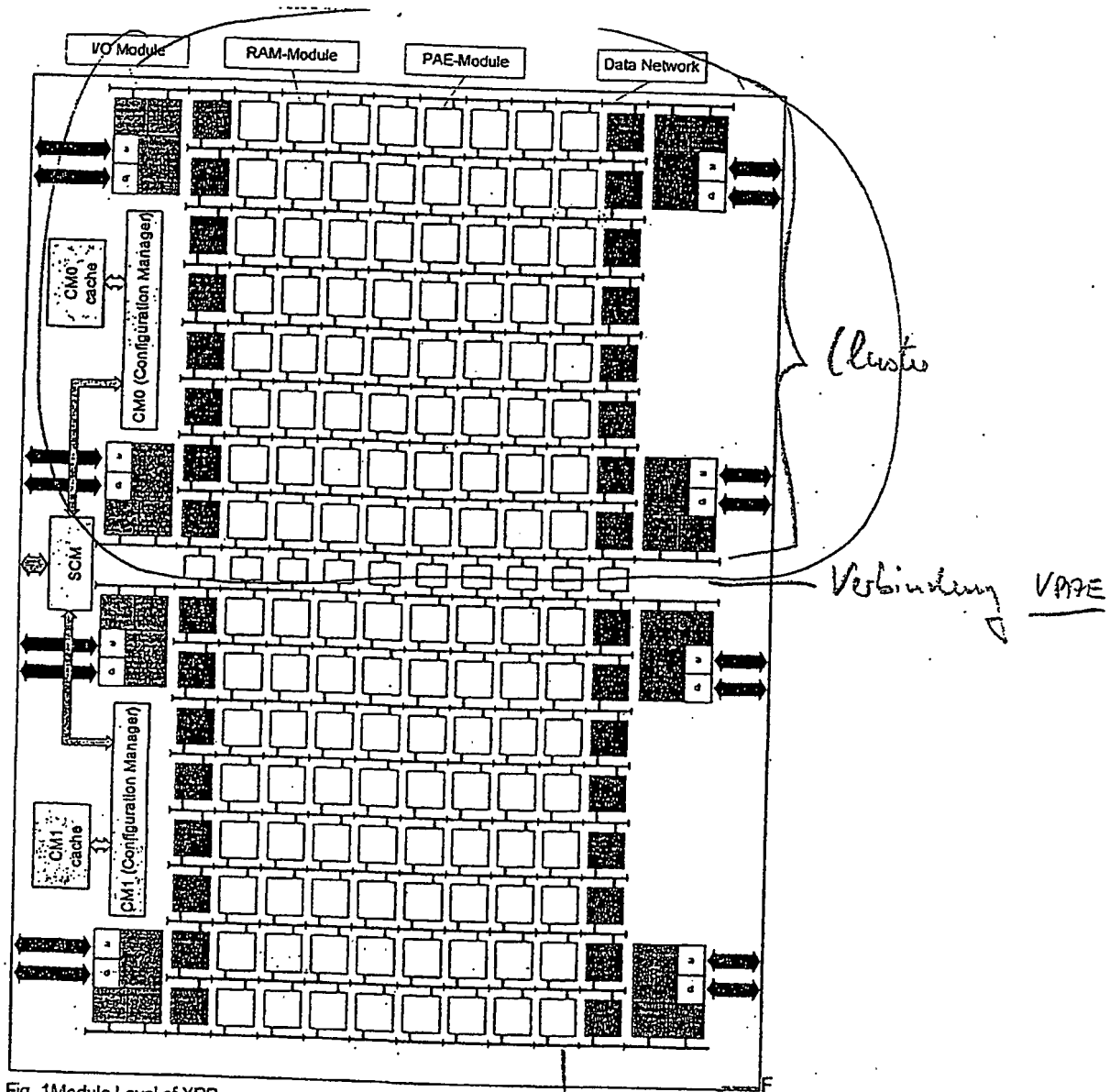


Fig. 2

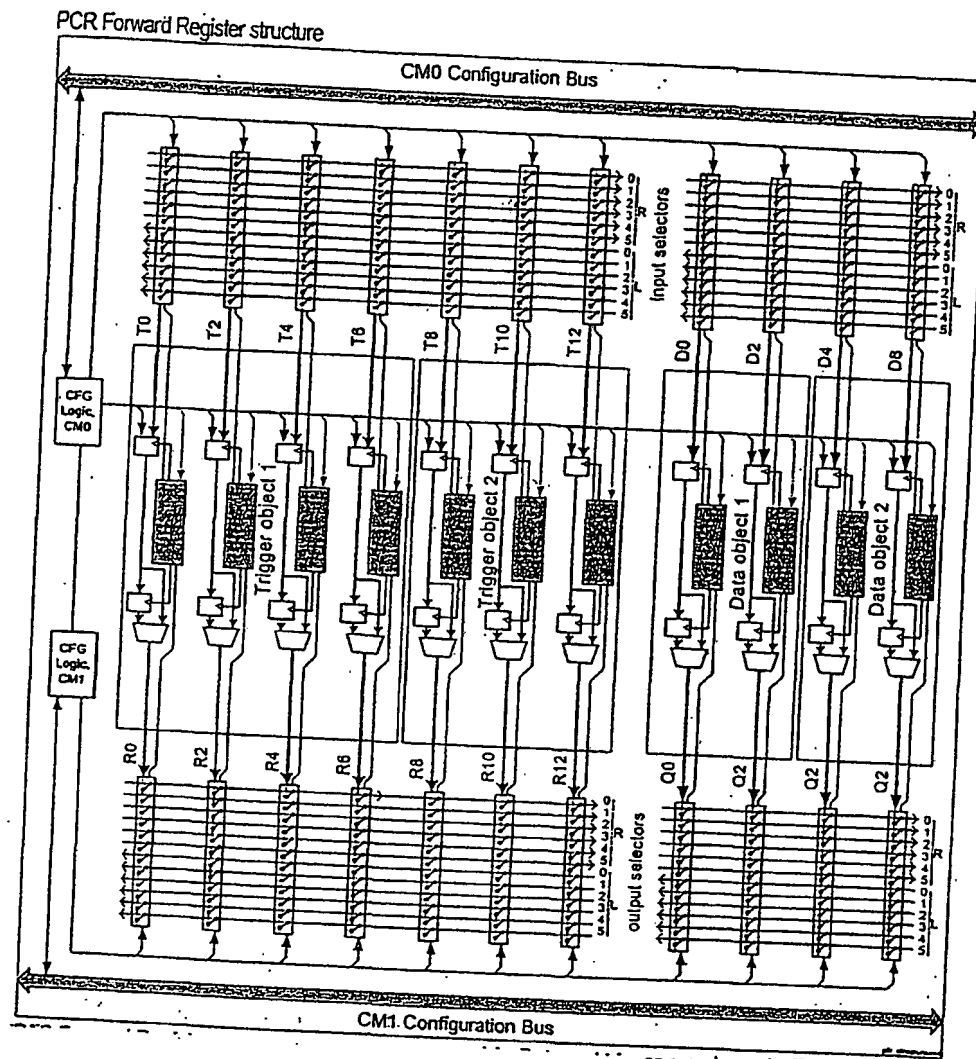
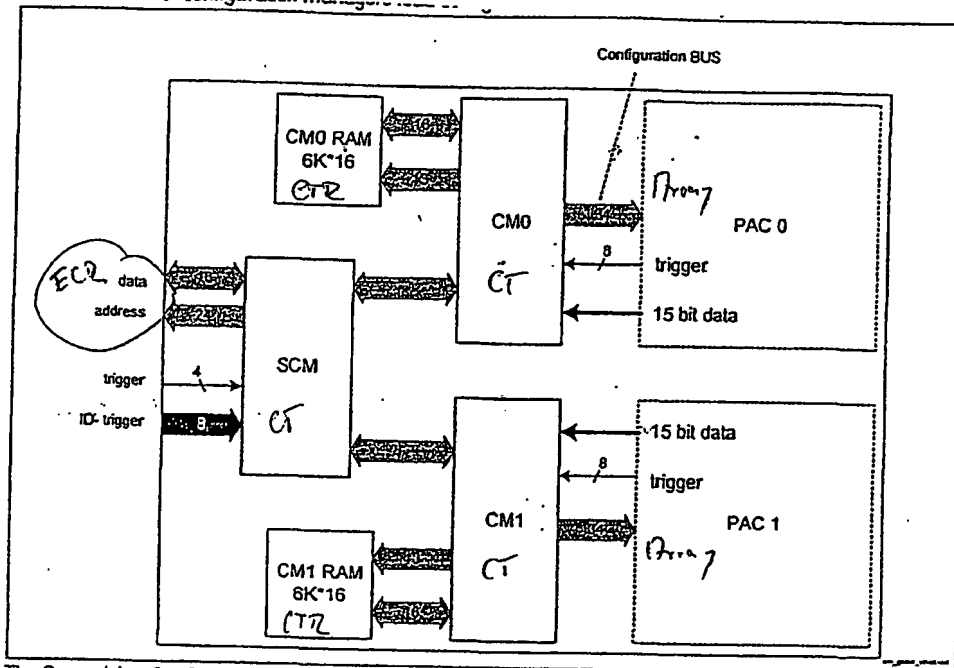


Fig. 3



The Supervising Configuration Manager (SCM) controls configurations from external RAM or ROM and reacts on external trigger events and IDs. The SCM communicates with both PAC Configurations Manager (CM). Both CMs are responsible to load configurations into the PAC array and to react on triggers from PAC array.

Fig. 4

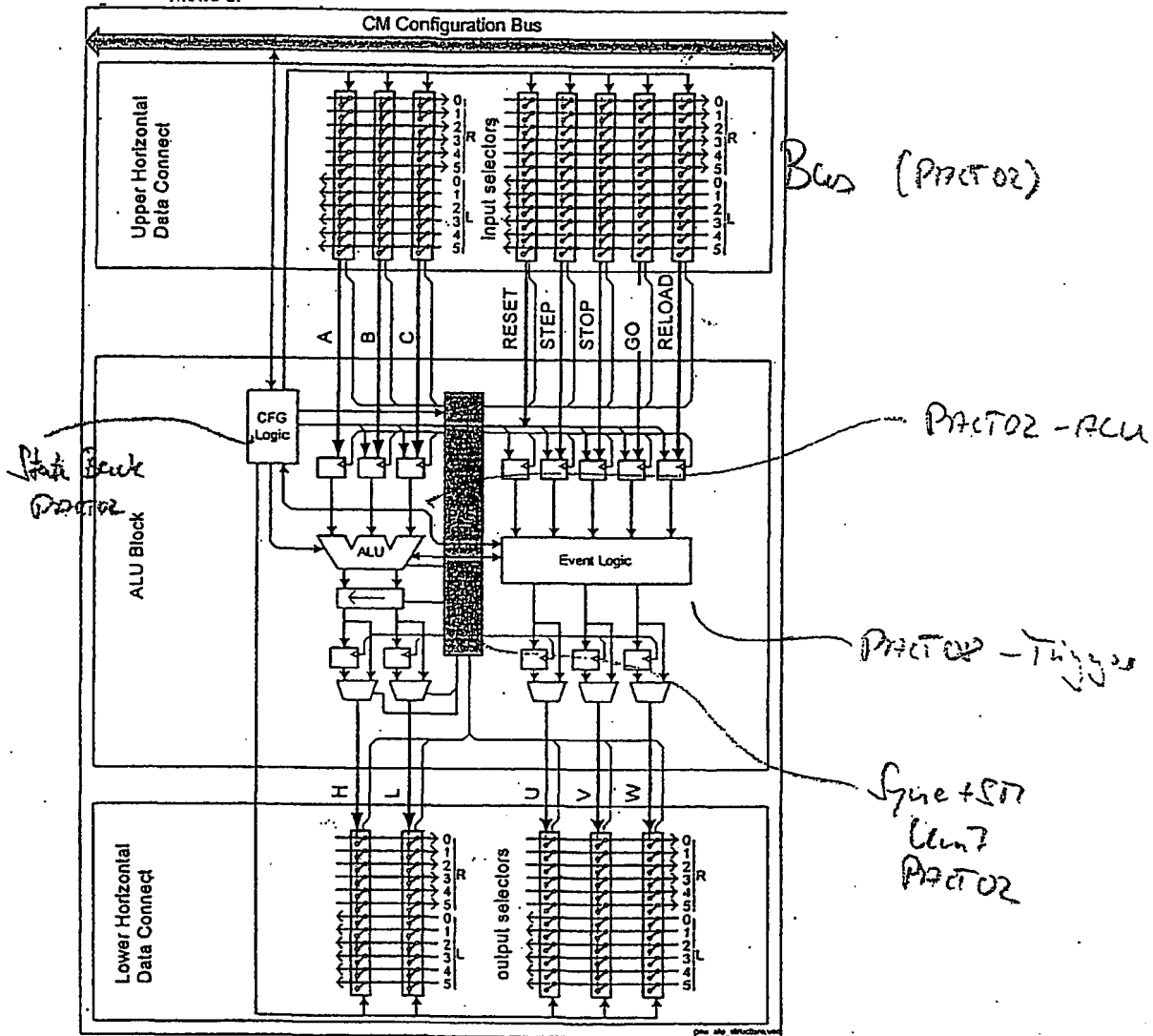


Fig 5

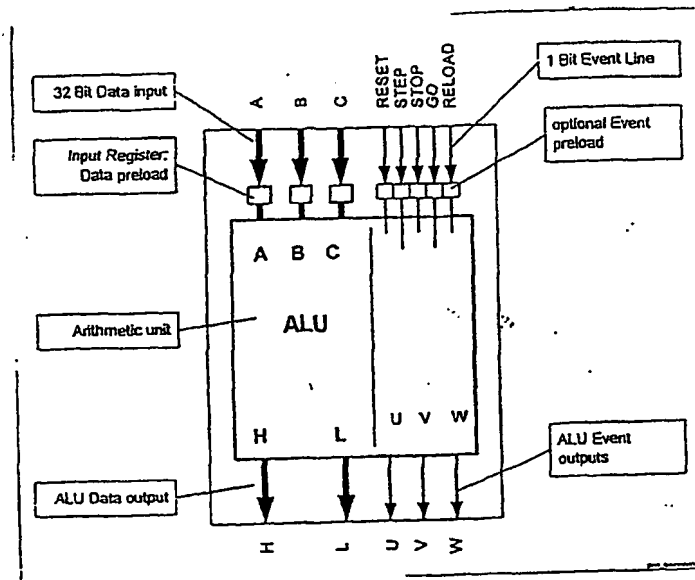
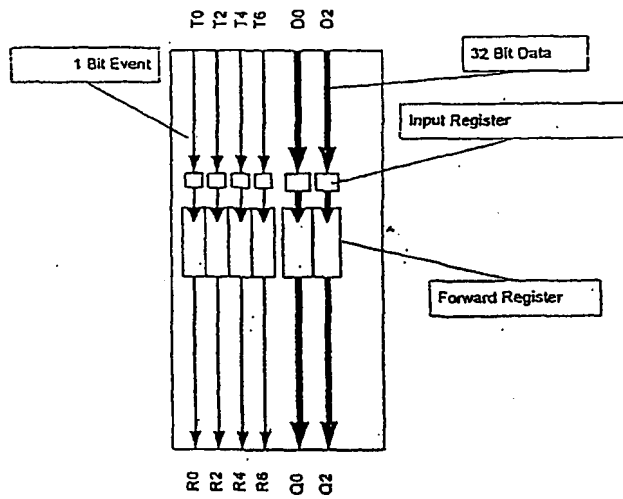


Fig 6 a



Forward register for routing of Data and Events from the upper to lower routing segment

Fig 6 b

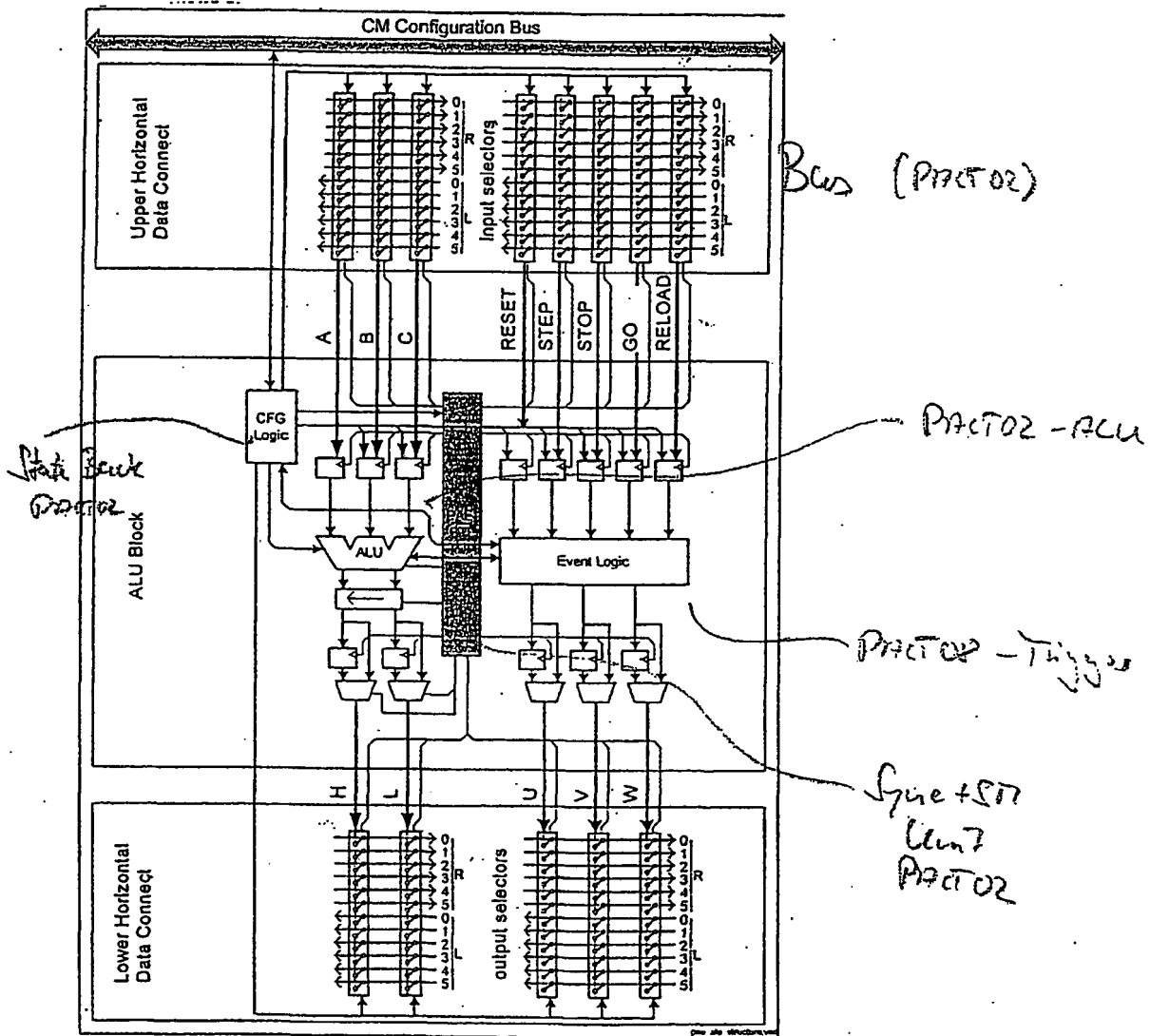
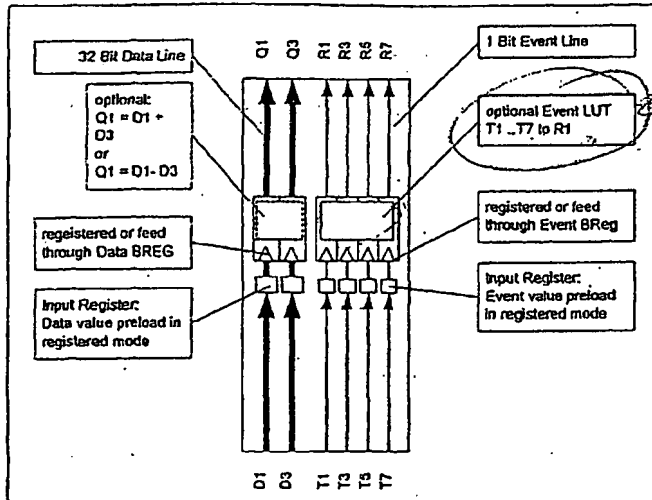


Fig 5



Backward register  
Erweiterung gegenüber PAC0  
Event-LUT kann Abbilden  
von logischen Verknüpfungen  
(z.B. FPGA-Funktionen)

Fig 6c

PAC Forward Register (PFR)  
PFR objects connect PAC0 and PAC1. One PFR has 4 down data connections (from PAC0 to PAC1).

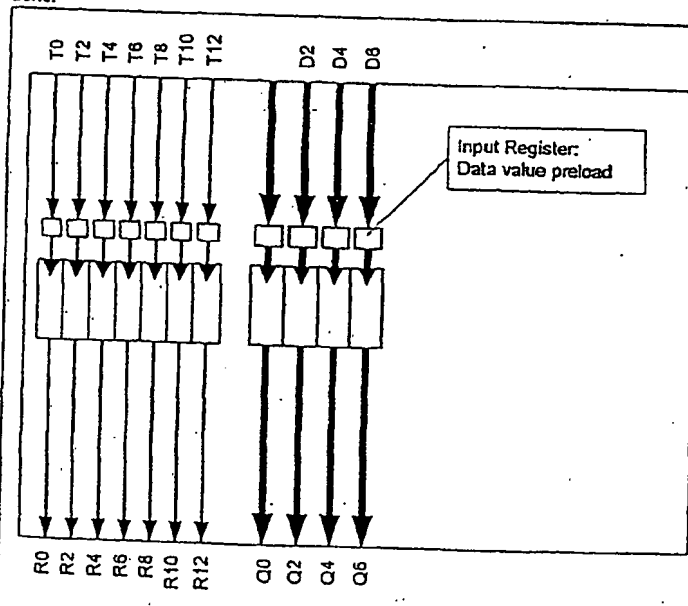
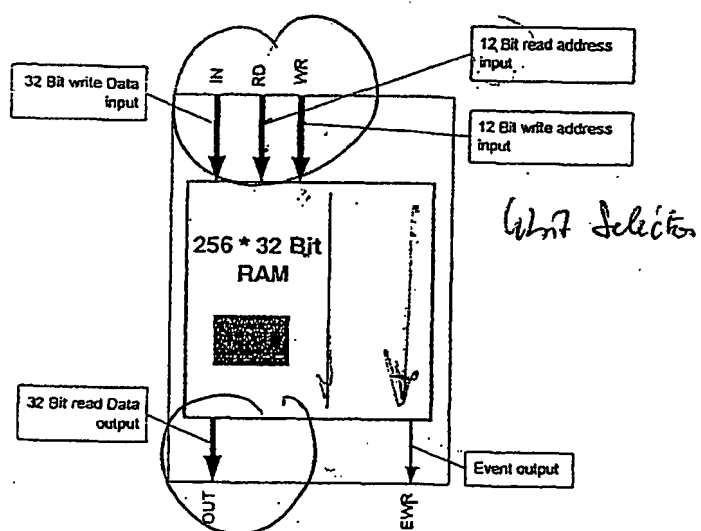


Fig 6d





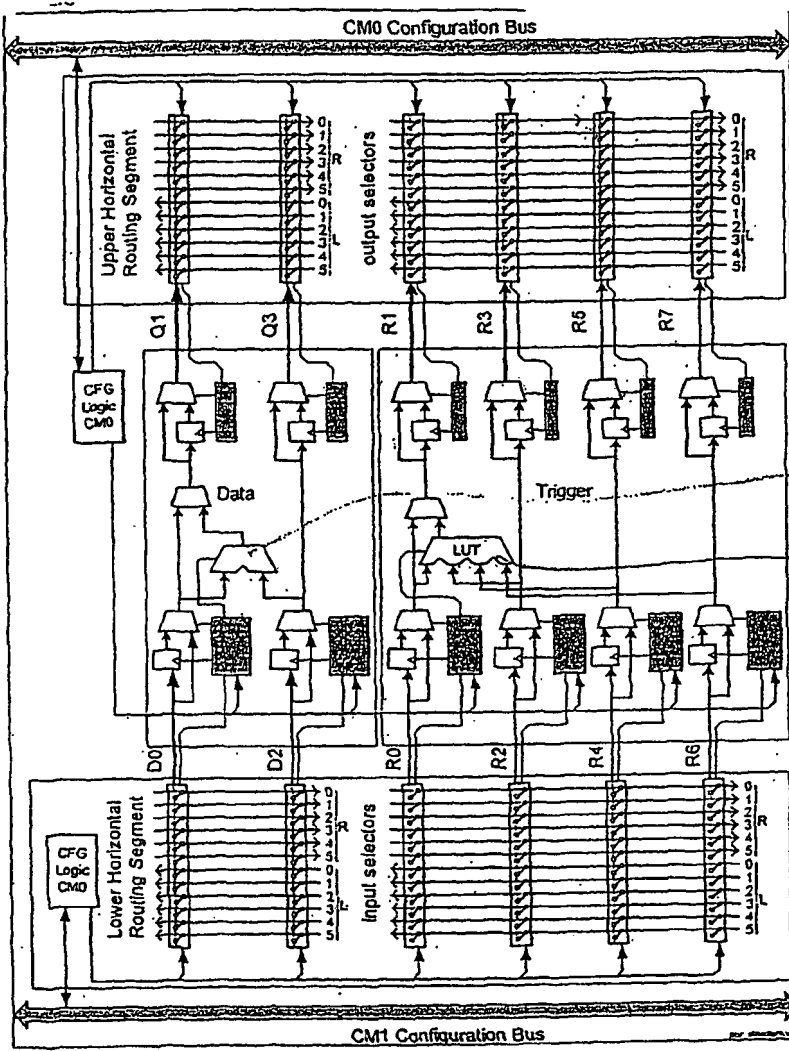


Fig. 8

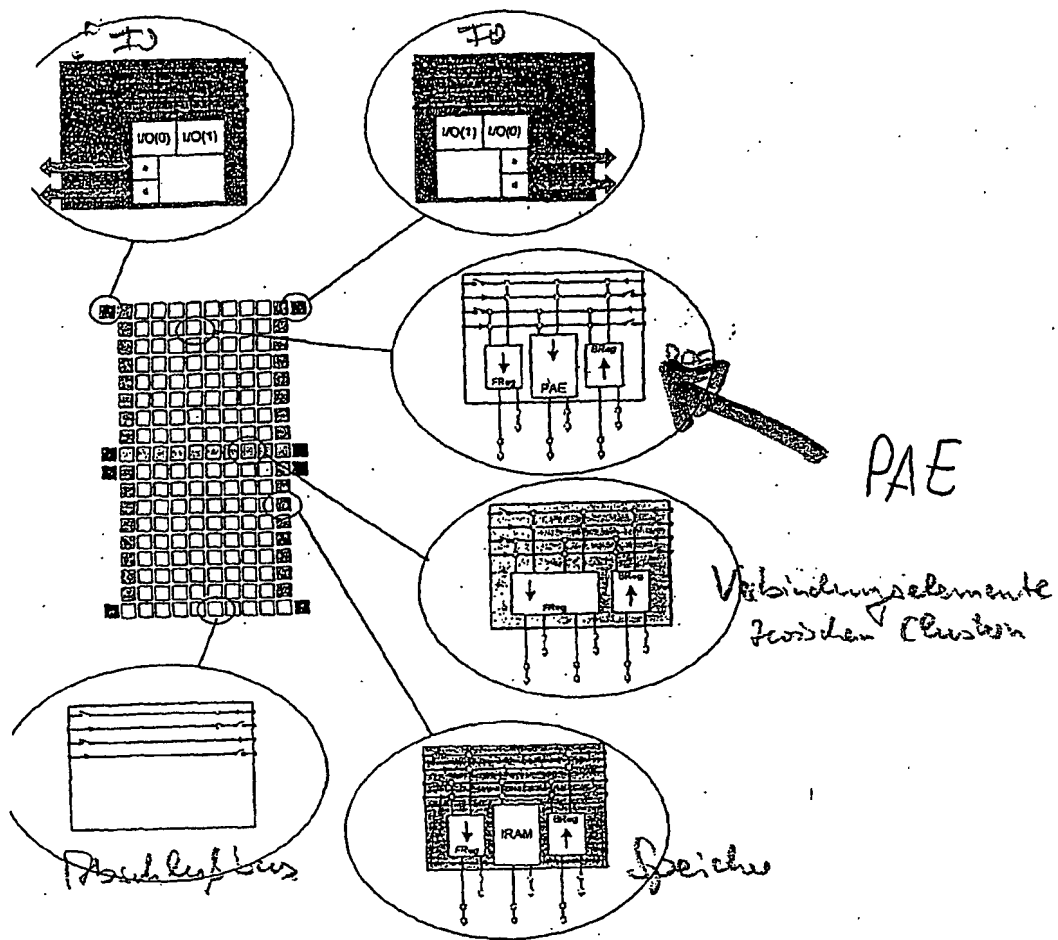
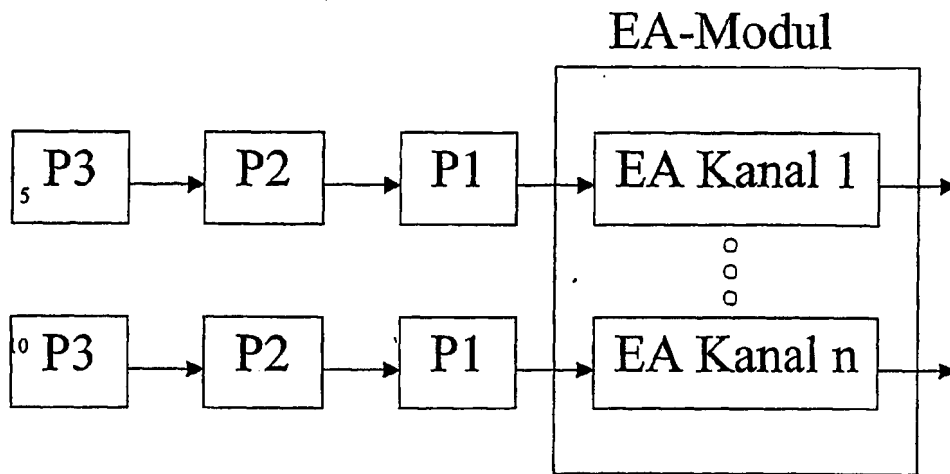
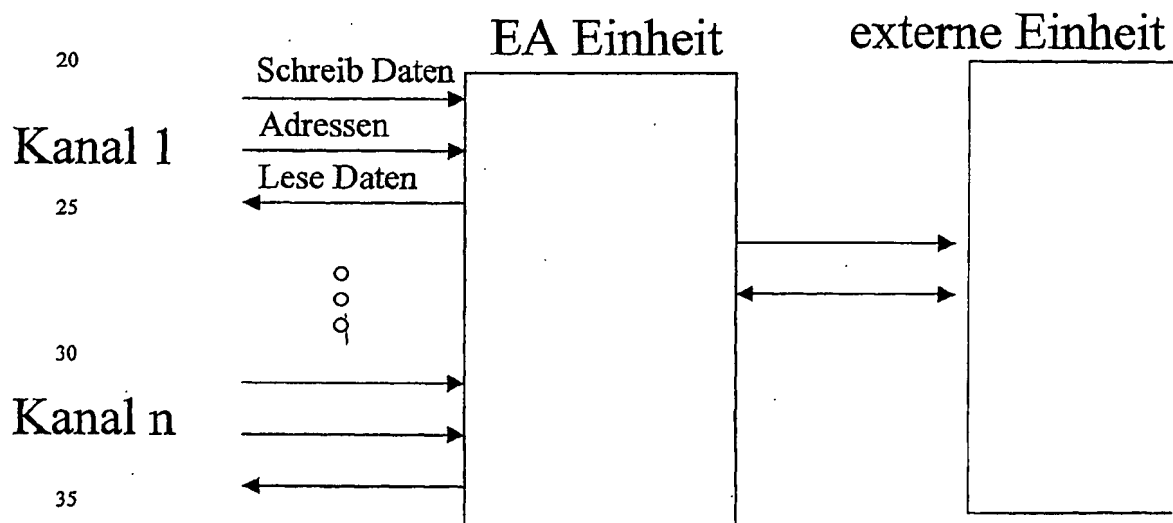


Fig. 9



15

Figur 10



Kanal 1

25

Kanal n

35

Figur 11